

SXY6040 0.9 inch 6.3M 全局曝光 CMOS 图像传感器应用手册

简介

SXY6040 为 0.9 inch 6.3M 分辨率全局曝光 CMOS 图像传感器，最高帧率 90fps，有效像素为 2896H×2176V。

特点

- 高性能像素设计
- 高动态范围，支持 Analog gain HDR
- 量化精度可变 8bit /10bit/12bit
- 支持 2×2 Binning
- 支持 Skip mode-sub sampling
- 支持外触发模式
- 支持最多 8H×8V ROI 读出
- LED strobe
- 内置温度传感器
- 多芯片级联

应用

- 安防监控
- 工业相机
- 高速图像采集

关键参数

Table 1 关键参数

参数		典型值
光学尺寸		0.9 inch
有效像素阵列		2896H×2176V
像素大小		4um(H)×4um(V)
像素特点		低噪声 Global shutter 像素
有效感光面积		11.584mm×8.704mm
灵敏度 @ BW		43V/lux.s（130615e-/lux.s）
SNRmax		43.7dB
暗电流 @60℃		20 mV/s（61e-/s）
寄生光感（PLS）		>100000
最高帧率		90fps@full frame 12bit 180fps@1080P 12bit
光滤阵列		Bayer BW
CRA		0°
曝光方式		Global shutter
光响应不一致性		0.9%
暗信号非均匀性 FPN		0.1%
高动态范围模式		Analog gain HDR
满阱电荷		22.3 Ke-
读出噪声		1.4 e-
动态范围		84dB @ HDR
量化精度		12bit/10bit/8bit
输出接口		LVDS 8/6/4/2Lane, 8/10/12bit MIPI 8/4/2Lane, 8/10/12bit
工作温度		-30 ~ 85℃ ^①
供电	Digital	1.2V ±0.05V
	IO	1.7V ~ 3.3V（范围内均可）
	Analog	2.8V ±0.1V
控制接口		I ² C
封装形式		CLGA
封装尺寸		19mm×18mm
ESD 等级		HBM: 2000V

① 此处温度为结温范围，非环境温度

Table of Content

简介	1
特点	1
应用	1
关键参数.....	1
Table of Content.....	2
印刷电路板设计指导.....	5
封装图.....	5
管脚定义.....	5
应用电路图.....	12
供电设计.....	13
芯片上电和下电时序图.....	14
PCB 注意事项	14
寄存器控制接口.....	14
I ² C 总线	14
I ² C 接口时序	16
影子寄存器更新.....	16
光学设计.....	16
成像方向.....	16
镜像功能.....	17
时钟的计算.....	18
时钟的定义.....	18
PLL 控制	18
系统主时钟控制.....	22
调节幅面与帧率.....	22
像素阵列排布.....	22
调整幅面.....	23
调整帧率.....	27
调节曝光与增益.....	28
调节曝光.....	28
多曝光窗口模式.....	29
调节增益.....	30
黑电平校正.....	31
MIPI.....	33
LVDS	35
其他	39
数据相位调节.....	39
量子效率曲线.....	39

List of Figures

Figure 1 封装图	5
Figure 2 Pin 脚分布图	6
Figure 3 推荐应用电路图	13
Figure 4 芯片上电和下电时序图	14
Figure 5 I ² C 写指令示意图	15
Figure 6 I ² C 读指令示意图	15
Figure 7 I ² C 接口时序	16
Figure 8 光学成像示意图	17
Figure 9 成正像的摆放示意	17
Figure 10 镜像功能示意	18
Figure 11 PLL 框图	18
Figure 12 像素阵列排布示意图	23
Figure 13 ROI 功能	24
Figure 14 多个 ROI 区域拼接输出	24
Figure 15 双曝光窗口模式	30
Figure 16 三曝光窗口模式	30
Figure 17 BLC 收敛示意	33
Figure 18 RAW8/RAW10/RAW12 数据输出顺序	34
Figure 19 MIPI Frame Timing	35
Figure 20 Data lane High-speed 传输过程	35
Figure 21 Clock lane High-speed 时钟停止和恢复过程	35
Figure 22 同步码传输方式示意图（2 data lane）	36
Figure 23 LVDS 单个像素 MSB 传输方式（RAW10）	36
Figure 24 LVDS 单个像素 LSB 传输方式（RAW10）	36
Figure 25 LVDS 同步模式 0 示意图	37
Figure 26 LVDS 同步模式 1 示意图	37
Figure 27 量子效率曲线	39

List of Tables

Table 1 关键参数.....	1
Table 2 管脚描述.....	6
Table 3 电源需求.....	13
Table 4 I ² C 设备地址	14
Table 5 I ² C 接口时序参数说明.....	16
Table 6 寄存器更新控制寄存器.....	16
Table 7 镜像控制寄存器.....	18
Table 8 时钟定义.....	18
Table 9 PLL 控制寄存器.....	19
Table 10 hbin_div 与控制寄存器关系.....	20
Table 11 LVDS 模式 pclk_div 与控制寄存器关系	20
Table 12 MIPI 模式 pclk_div 与控制寄存器关系.....	21
Table 13 PLL VCO 频率设置对应表.....	22
Table 14 系统主时钟控制.....	22
Table 15 控制输出幅面寄存器	25
Table 16 帧率控制寄存器.....	28
Table 17 曝光控制寄存器.....	28
Table 18 曝光窗口控制寄存器	29
Table 19 转换增益控制寄存器.....	30
Table 20 模拟增益控制寄存器	31
Table 21 rmpgain_sel[2:0]与 Gain _{rmp} 对应关系.....	31
Table 22 数字增益控制寄存器	31
Table 23 BLC 控制寄存器	32
Table 24 MIPI 控制寄存器	33
Table 25 LVDS 时序参数.....	36
Table 26 LVDS 同步码.....	37
Table 27 LVDS 控制寄存器.....	38
Table 28 相位调节相关寄存器	39

印刷电路板设计指导

本章节用来介绍印刷电路板的设计规则。

封装图

Figure 1 为 SXY6040 封装图。其中定义了具体的机械尺寸以及光学中心。以芯片中心做参照，光学中心为 (0 mm, 0 mm)，具体请参照 Top View 图。

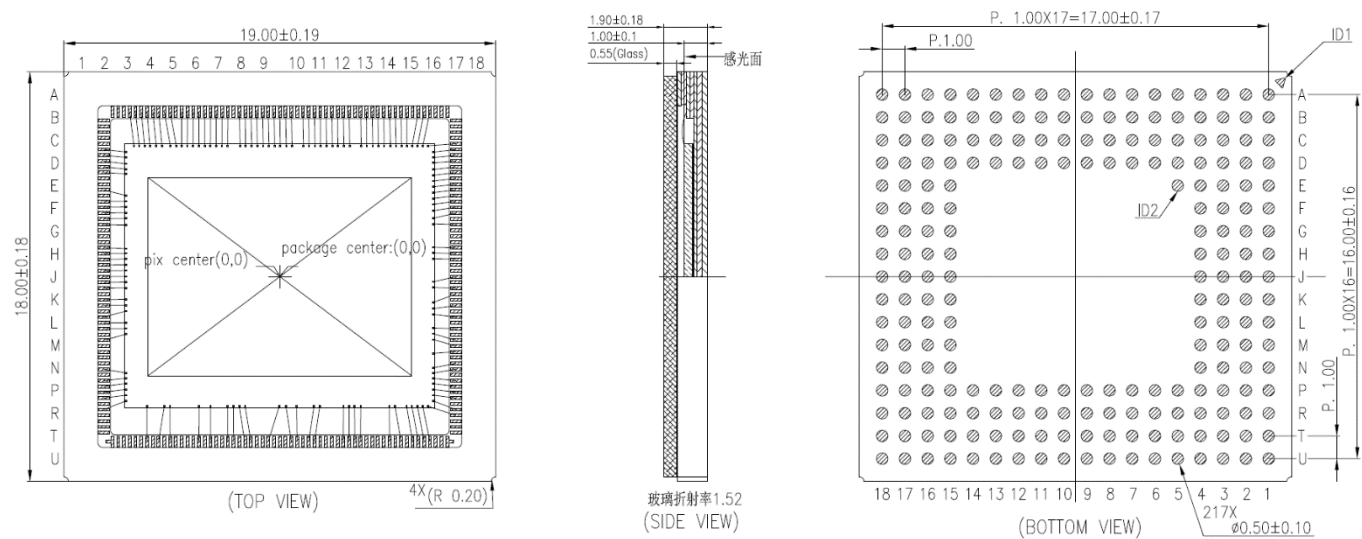
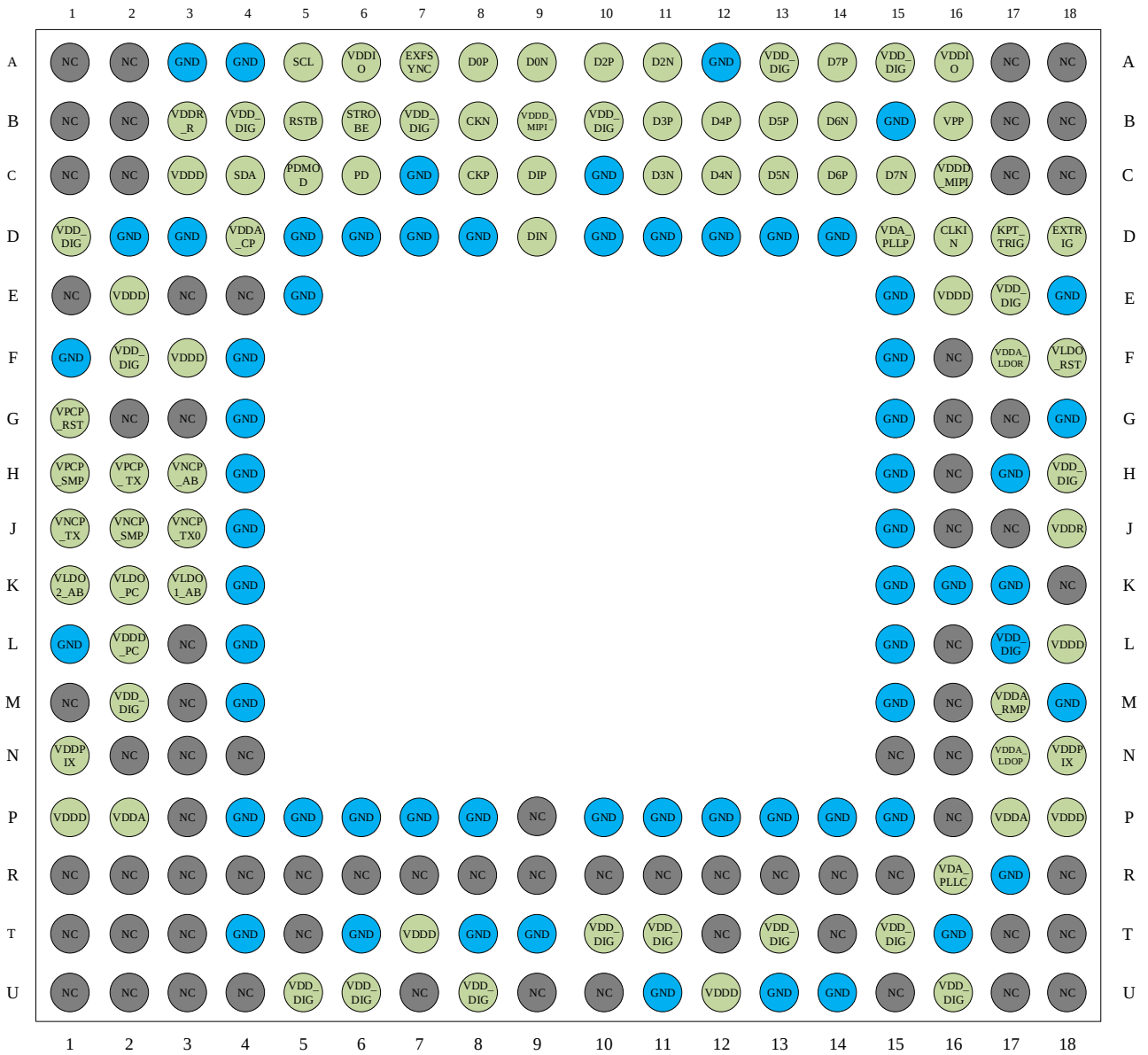


Figure 1 封装图

管脚定义

Figure 2 为 Top View 下的 Pin 脚分布图。可以与 Figure 1 进行参照。Table 2 为 Pin 脚的具体说明。



Top View

Figure 2 Pin 脚分布图

Table 2 管脚描述

PIN NO.	NAME	I/O	TYPE	DESCRIPTION
A1	NC	-	-	Not Connected
A2	NC	-	-	Not Connected
A3	GND	-	G	Ground
A4	GND	-	G	Ground
A5	SCL	I/O	D	I ² C clock
A6	VDDIO	-	P	IO power
A7	EXFSYNC	O	D	output frame sync
A8	D0P	O	D	Data 0 P port in LVDS/MIPI mode
A9	D0N	O	D	Data 0 N port in LVDS/MIPI mode

A10	D2P	O	D	Data 2 P port in LVDS/MIPI mode
A11	D2N	O	D	Data 2 N port in LVDS/MIPI mode
A12	GND	-	G	Ground
A13	VDD_DIG	-	P	1.2V digital power
A14	D7P	O	D	Data 7 P port in LVDS/MIPI mode
A15	VDD_DIG	-	P	1.2V digital power
A16	VDDIO	-	P	IO power
A17	NC	-	-	Not Connected
A18	NC	-	-	Not Connected
B1	NC	-	-	Not Connected
B2	NC	-	-	Not Connected
B3	VDDR_R	-	P	2.8V analog power
B4	VDD_DIG	-	P	1.2V digital power
B5	RSTB	I	D	Chip reset, active low
B6	STROBE	O	D	light source sync signal
B7	VDD_DIG	-	P	1.2V digital power
B8	CKN	O	D	clock N port in LVDS/MIPI mode
B9	VDDD_MIPI	-	P	2.8V digital power
B10	VDD_DIG	-	P	1.2V digital power
B11	D3P	O	D	Data 3 P port in LVDS/MIPI mode
B12	D4P	O	D	Data 4 P port in LVDS/MIPI mode
B13	D5P	O	D	Data 5 P port in LVDS/MIPI mode
B14	D6N	O	D	Data 6 N port in LVDS/MIPI mode
B15	GND	-	G	Ground
B16	VPP	-	P	1.2V digital power
B17	NC	-	-	Not Connected
B18	NC	-	-	Not Connected
C1	NC	-	-	Not Connected
C2	NC	-	-	Not Connected
C3	VDDD	-	P	2.8V digital power
C4	SDA	I/O	D	I ² C Data
C5	PDMOD	I	D	pump IO pd mode
C6	PD	I	D	Chip power down, active high
C7	GND	-	G	Ground
C8	CKP	O	D	clock P port in LVDS/MIPI mode
C9	D1P	O	D	Data 1 P port in LVDS/MIPI mode

C10	GND	-	G	Ground
C11	D3N	O	D	Data 3 N port in LVDS/MIPI mode
C12	D4N	O	D	Data 4 N port in LVDS/MIPI mode
C13	D5N	O	D	Data 5 N port in LVDS/MIPI mode
C14	D6P	O	D	Data 6 P port in LVDS/MIPI mode
C15	D7N	O	D	Data 7 N port in LVDS/MIPI mode
C16	VDDD_MIPI	-	P	2.8V digital power
C17	NC	-	-	Not Connected
C18	NC	-	-	Not Connected
D1	VDD_DIG	-	P	1.2V digital power
D2	GND	-	G	Ground
D3	GND	-	G	Ground
D4	VDDA_CP	-	P	2.8V analog power
D5	GND	-	G	Ground
D6	GND	-	G	Ground
D7	GND	-	G	Ground
D8	GND	-	G	Ground
D9	D1N	O	D	Data 1 N port in LVDS/MIPI mode
D10	GND	-	G	Ground
D11	GND	-	G	Ground
D12	GND	-	G	Ground
D13	GND	-	G	Ground
D14	GND	-	G	Ground
D15	VDA_PLLP	-	P	1.2V analog power
D16	CLKIN	I	D	Clock input
D17	KPT_TRIG	I	D	Knee-point trigger
D18	EXTRIG	I	D	External trigger
E1	NC	-	-	Not Connected
E2	VDDD	-	P	2.8V digital power
E3	NC	-	-	Not Connected
E4	NC	-	-	Not Connected
E5	GND	-	G	Ground
E15	GND	-	G	Ground
E16	VDDD	-	P	2.8V digital power
E17	VDD_DIG	-	P	1.2V digital power
E18	GND	-	G	Ground

F1	GND	-	G	Ground
F2	VDD_DIG	-	P	1.2V digital power
F3	VDDD	-	P	2.8V digital power
F4	GND	-	G	Ground
F15	GND	-	G	Ground
F16	NC	-	-	Not Connected
F17	VDDA_LDOR	-	P	LDO power
F18	VLDO_RST	O	A	ldo output for rst
G1	VPCP_RST	O	A	charge pump output for rst
G2	NC	-	-	Not Connected
G3	NC	-	-	Not Connected
G4	GND	-	G	Ground
G15	GND	-	G	Ground
G16	NC	-	-	Not Connected
G17	NC	-	-	Not Connected
G18	GND	-	G	Ground
H1	VPCP_SMP	O	A	charge pump output for smp
H2	VPCP_TX	O	A	charge pump output for tx
H3	VNCP_AB	O	A	NCP output for ab
H4	GND	-	G	Ground
H15	GND	-	G	Ground
H16	NC	-	-	Not Connected
H17	GND	-	G	Ground
H18	VDD_DIG	-	P	1.2V digital power
J1	VNCP_TX	O	A	NCP output for TX
J2	VNCP_SMP	O	A	NCP output for SMP
J3	VNCP_TX0	O	A	NCP output for TX0
J4	GND	-	G	Ground
J15	GND	-	G	Ground
J16	NC	-	-	Not Connected
J17	NC	-	-	Not Connected
J18	VDDR	-	P	2.8V analog power
K1	VLDO2_AB	O	A	ldo output for ab2
K2	VLDO_PC	O	A	ldo output for pc
K3	VLDO1_AB	O	A	ldo output for ab
K4	GND	-	G	Ground

K15	GND	-	G	Ground
K16	GND	-	G	Ground
K17	GND	-	G	Ground
K18	NC	-	-	Not Connected
L1	GND	-	G	Ground
L2	VDDD_PC	-	P	2.8V digital power
L3	NC	-	-	Not Connected
L4	GND	-	G	Ground
L15	GND	-	G	Ground
L16	NC	-	-	Not Connected
L17	VDD_DIG	-	P	1.2V digital power
L18	VDDD	-	P	2.8V digital power
M1	NC	-	-	Not Connected
M2	VDD_DIG	-	P	1.2V digital power
M3	NC	-	-	Not Connected
M4	GND	-	G	Ground
M15	GND	-	G	Ground
M16	NC	-	-	Not Connected
M17	VDDA_RMP	-	P	2.8V analog power
M18	GND	-	G	Ground
N1	VDDPIX	I	A	input vddpix power
N2	NC	-	-	Not Connected
N3	NC	-	-	Not Connected
N4	NC	-	-	Not Connected
N15	NC	-	-	Not Connected
N16	NC	-	-	Not Connected
N17	VDDA_LDOP	-	P	LDO power
N18	VDDPIX	O	A	output vddpix power
P1	VDDD	-	P	2.8V digital power
P2	VDDA	-	P	2.8V analog power
P3	NC	-	-	Not Connected
P4	GND	-	G	Ground
P5	GND	-	G	Ground
P6	GND	-	G	Ground
P7	GND	-	G	Ground
P8	GND	-	G	Ground

P9	NC	-	-	Not Connected
P10	GND	-	G	Ground
P11	GND	-	G	Ground
P12	GND	-	G	Ground
P13	GND	-	G	Ground
P14	GND	-	G	Ground
P15	GND	-	G	Ground
P16	NC	-	-	Not Connected
P17	VDDA	-	P	2.8V analog power
P18	VDDD	-	P	2.8V digital power
R1	NC	-	-	Not Connected
R2	NC	-	-	Not Connected
R3	NC	-	-	Not Connected
R4	NC	-	-	Not Connected
R5	NC	-	-	Not Connected
R6	NC	-	-	Not Connected
R7	NC	-	-	Not Connected
R8	NC	-	-	Not Connected
R9	NC	-	-	Not Connected
R10	NC	-	-	Not Connected
R11	NC	-	-	Not Connected
R12	NC	-	-	Not Connected
R13	NC	-	-	Not Connected
R14	NC	-	-	Not Connected
R15	NC	-	-	Not Connected
R16	VDA_PLLC	-	P	1.2V analog power
R17	GND	-	G	Ground
R18	NC	-	-	Not Connected
T1	NC	-	-	Not Connected
T2	NC	-	-	Not Connected
T3	NC	-	-	Not Connected
T4	GND	-	G	Ground
T5	NC	-	-	Not Connected
T6	GND	-	G	Ground
T7	VDDD	-	P	2.8V digital power
T8	GND	-	G	Ground

T9	GND	-	G	Ground
T10	VDD_DIG	-	P	1.2V digital power
T11	VDD_DIG	-	P	1.2V digital power
T12	NC	-	-	Not Connected
T13	VDD_DIG	-	P	1.2V digital power
T14	NC	-	-	Not Connected
T15	VDD_DIG	-	P	1.2V digital power
T16	GND	-	G	Ground
T17	NC	-	-	Not Connected
T18	NC	-	-	Not Connected
U1	NC	-	-	Not Connected
U2	NC	-	-	Not Connected
U3	NC	-	-	Not Connected
U4	NC	-	-	Not Connected
U5	VDD_DIG	-	P	1.2V digital power
U6	VDD_DIG	-	P	1.2V digital power
U7	NC	-	-	Not Connected
U8	VDD_DIG	-	P	1.2V digital power
U9	NC	-	-	Not Connected
U10	NC	-	-	Not Connected
U11	GND	-	G	Ground
U12	VDDD	-	P	2.8V digital power
U13	GND	-	G	Ground
U14	GND	-	G	Ground
U15	NC	-	-	Not Connected
U16	VDD_DIG	-	P	1.2V digital power
U17	NC	-	-	Not Connected
U18	NC	-	-	Not Connected

(P=Power, G=Ground, D=Digital, A=Analog)

应用电路图

推荐应用电路图见 Figure 3。

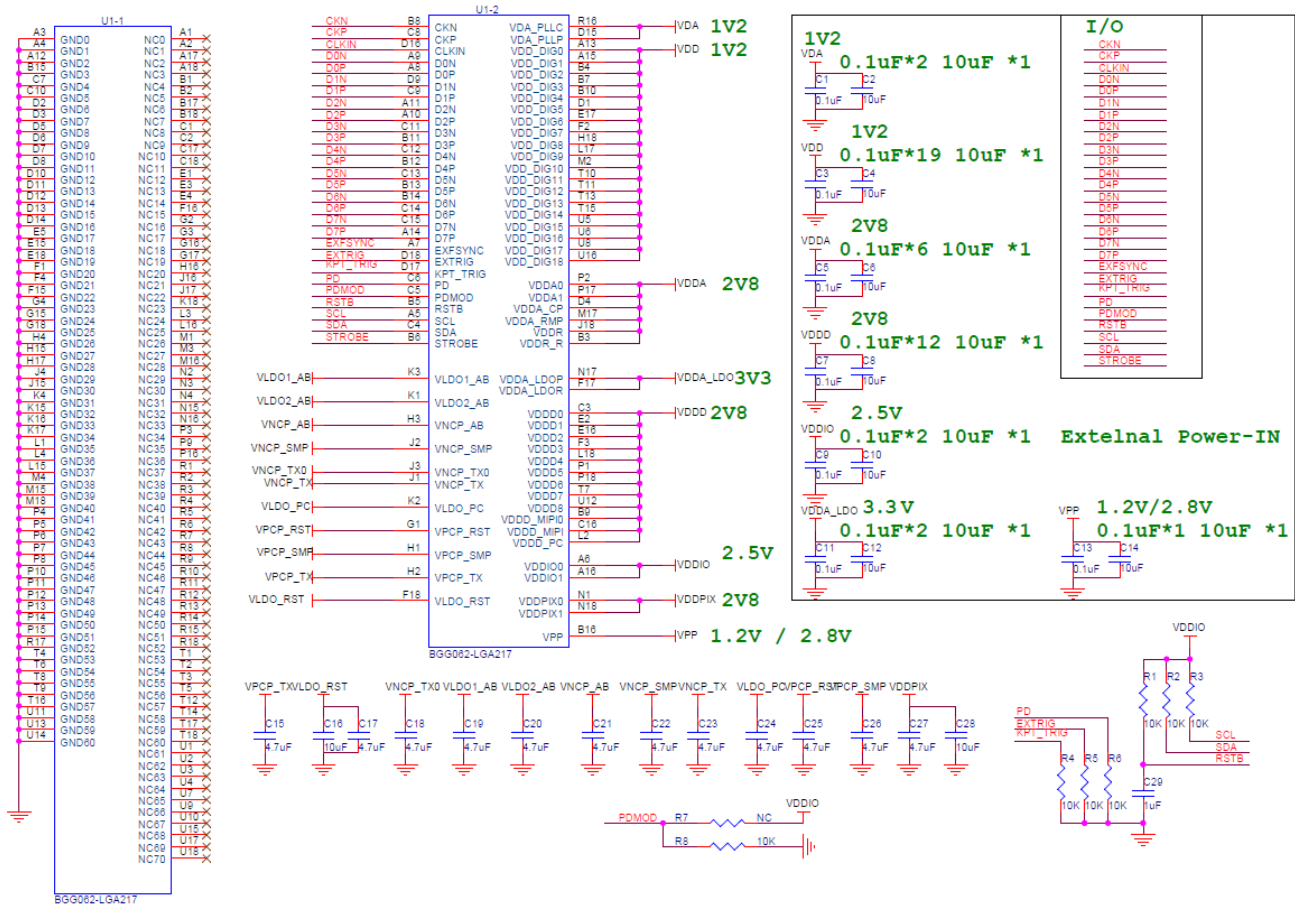


Figure 3 推荐应用电路图

供电设计

各组电源功耗与外接电容需求见 Table 3。

Table 3 电源需求

序号	电源	最小电压	标准电压	最大电压	消耗电流(上限)	外接小电容需求
1	VDA	1.15V	1.2V	1.25V	20mA	0.1uF×2 10uF×1
2	VDD	1.15V	1.2V	1.25V	300mA	0.1uF×19 10uF×1
3	VDDA	2.7V	2.8V	2.9V	200mA	0.1uF×6 10uF×1
4	VDDD	2.7V	2.8V	2.9V	10mA	0.1uF×12 10uF×1
5	VDDIO	1.7V	2.5V	3.3V	1mA	0.1uF×2 10uF×1
6	VDDA_LDO	3.1V	3.3V	3.6V	10mA	0.1uF×2 10uF×1
7	VPP	1.15V	1.2V	1.25V	20mA	0.1uF×1 10uF×1

注：0.1uF 的电容需要靠近 Pin 脚。每路电源需要至少一个 10uF/22uF 的大电容。10uF/22uF 电容放在 Sensor 周围即可。

芯片上电和下电时序图

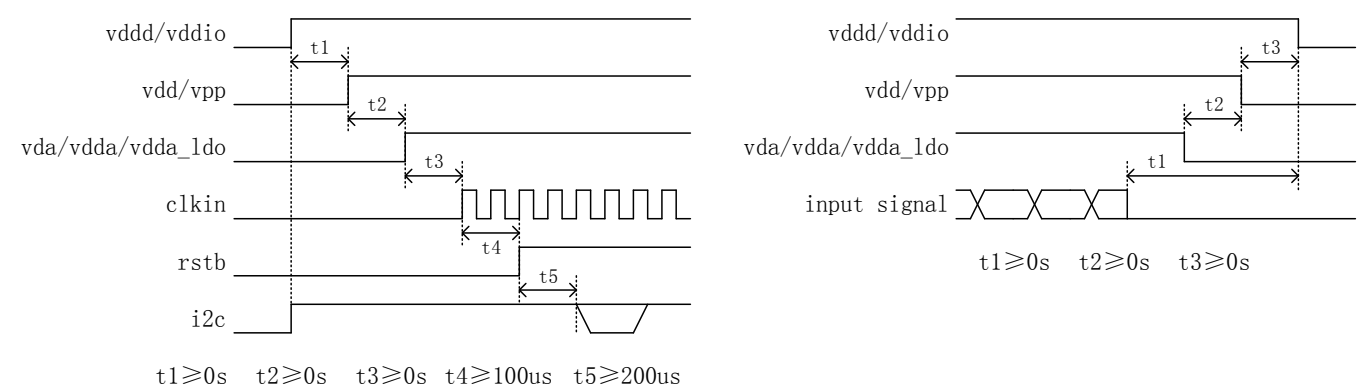


Figure 4 芯片上电和下电时序图

PCB 注意事项

芯片包含多组电源，其中 VDDD、VDDIO、VDD 属于数字电源，VDDA、VDDA_LDO 属于模拟电源。GND 使用同一个地网络。

电源线和地线走线尽可能的宽（至少 0.2mm 以上），并且电源线走线尽可能的短，最大限度减小线路上的阻抗。模拟电源尽量避开数字电源及数字信号的区域，用 GND 将模拟电源部分和其他电路隔离开，减少模拟电源被其他信号干扰。各组电源有条件时尽量采用铺铜方式。

需要注意的信号线有 CLKIN 等时钟信号，特别是 CLKIN，两侧需要地保护。电源线要远离时钟信号线。

LVDS/MIPI 信号（CLKP/N、D0P/N~D7P/N）要走差分线，差分阻抗 100R。P 和 N 走线最好是等长的，数据线间长度误差越小越好。不同组差分线之间距离至少达到线宽的两倍。

图像传感器是温度敏感器件，需要注意板上的热量分布，LDO 或 DC-DC、DSP 等芯片应该放置在离 sensor 较远的地方，以防温度较高的芯片影响 sensor 的图像信号质量。

寄存器控制接口

I²C 总线

SXY6040 通过 I²C 总线对外通信，对应的端口为 SDA 和 SCL。总线采用 16 位的寄存器地址，8 位数据的组织方式。SXY6040 7bit 设备地址（Slave address）和 1bit 读写标志位如 Table 4 所示。I²C 总线基本操作时序如 Figure 5 和 Figure 6 所示。

Table 4 I²C 设备地址

设备地址	设备地址 + 读/写 (R/W)	
0x32	0x64(W)	0x65(R)

例：向 SXY6040 的地址 0x012c 中写入数据 0x56，外部 MCU 为主机，SXY6040 为从机，步骤如下：

- 主机向从机发送“START”信号；
- 主机向从机发送设备地址和写标志位 0x64（设备地址 0x32 + ‘W’）；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；

- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 数据 0x56；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“STOP”信号。

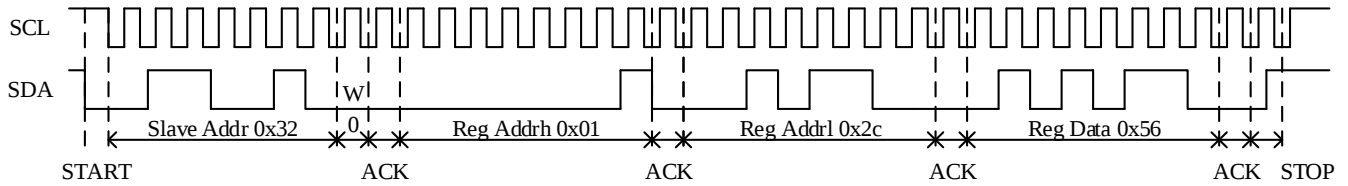


Figure 5 I²C 写指令示意图

例：从 SXY6040 的 0x012c 地址中读取数据 0x56。外部 MCU 为主机，SXY6040 为从机，步骤如下：

- 主机向从机发送“START”信号；
- 主机向从机发送设备地址和写标志位 0x64（设备地址 0x32 + ‘W’）；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“START”信号；
- 主机向从机发送设备地址和读标志位 0x65（设备地址 0x32 + ‘R’）；
- 从机向主机发送“ACK”信号；
- 从机向主机发送 8-bit 数据 0x56；
- 主机向从机发送“NACK”信号；
- 主机向从机发送“STOP”信号。

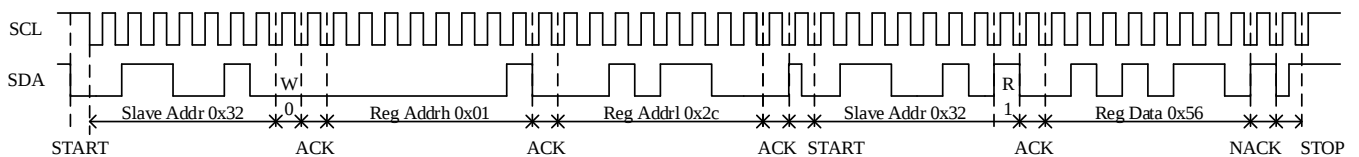


Figure 6 I²C 读指令示意图

I²C 接口时序

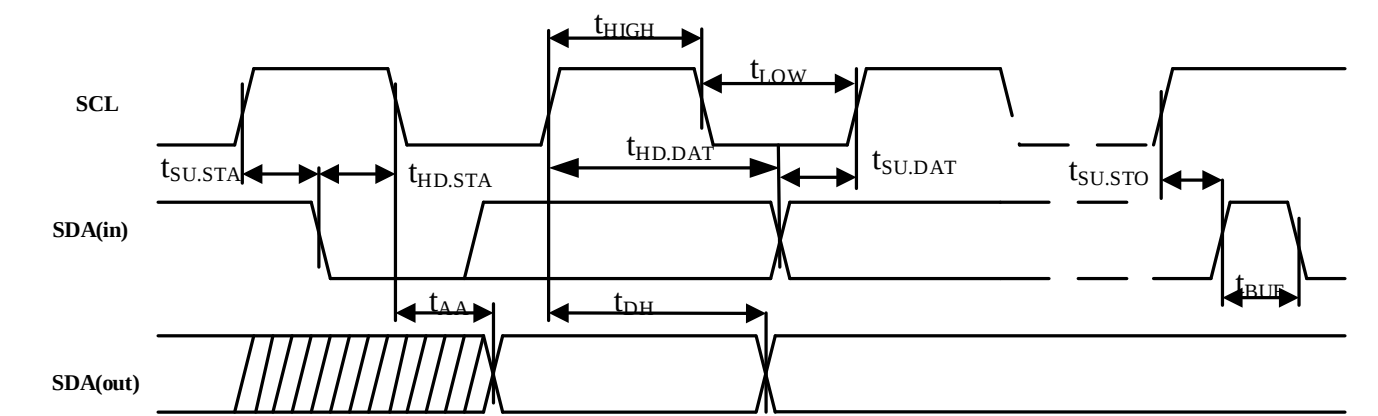


Figure 7 I²C 接口时序

Table 5 I²C 接口时序参数说明

符号	参数描述	最小值	最大值	单位
F _{SCL}	SCL 频率		500	kHz
t _{LOW}	SCL 低电平宽度	1		us
t _{HIGH}	SCL 高电平宽度	1		us
t _{AA}	SCL 下降沿到 SDA 输出时间间隔	0.7		us
t _{BUF}	下一次配置之前总线空闲时间	1		us
t _{HD,STA}	Start Hold Time/start 操作的保持时间	0.5		us
t _{SU,STA}	Start Set-up Time/start 操作的建立时间	0.5		us
t _{HD,DAT}	Data In Hold Time/输入数据保持时间	0.5		us
t _{SU,DAT}	Data In Set-up Time/输入数据建立时间	0.5		us
t _{SU,STO}	Stop Set-up Time/stop 操作建立时间	0.5		us
t _{DH}	Data Out Hold Time/输出数据的保持时间	0.5		us

影子寄存器更新

SXY6040 内部部分特殊的寄存器采用了影子寄存器，经由 I²C 写入之后不会立即使用，而是需要向寄存器更新控制寄存器写入 0x01 或 0x02 后才能使用新的寄存器值，如 Table 6 所示。需要“更新”操作的寄存器后面会特殊说明。

Table 6 寄存器更新控制寄存器

寄存器名	地址	位宽	功能	默认值
寄存器更新控制	0x001d	2	Bit[1:0]: 0x1: 立即生效影子寄存器，立即中断当前帧，重新开始下一帧； 0x2: 写入后，影子寄存器在下一个有效帧开始时生效。	Self-clear

光学设计

成像方向

SXY6040 的 (0, 0) 像素在 Figure 1 的 A18 球的一侧。默认读出水平读出方向为 A18 向 A1 方向扫描，默

认垂直读出方向为 A18 向 U18 方向扫描。

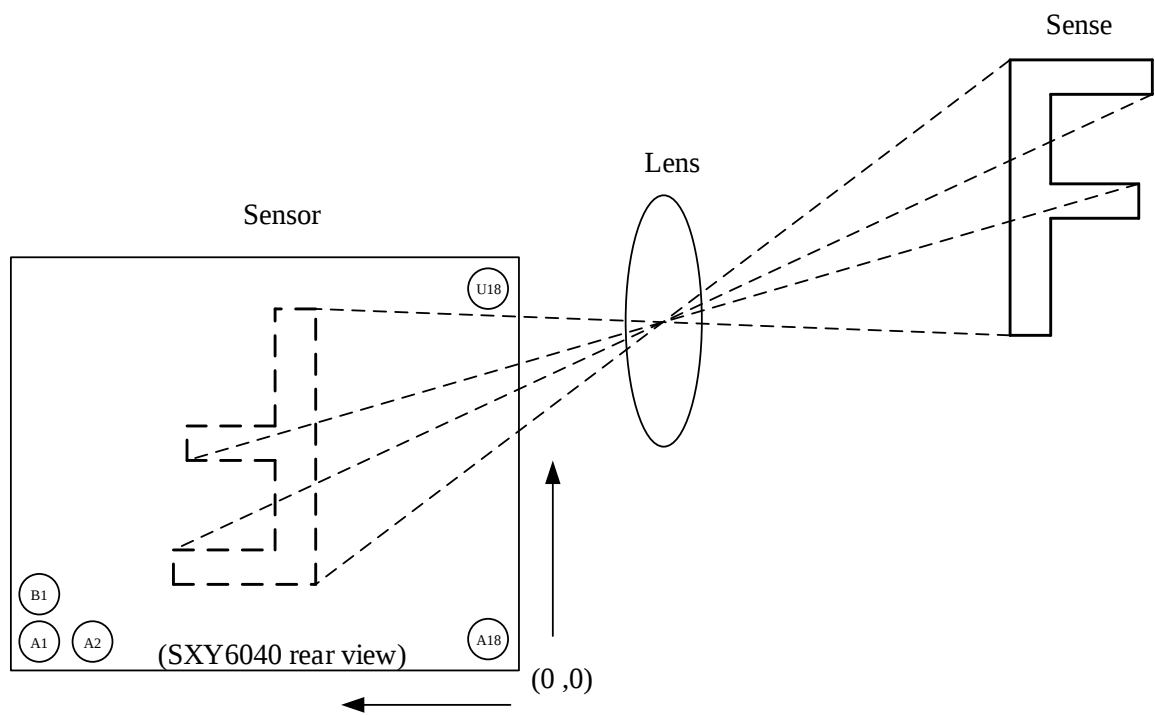


Figure 8 光学成像示意图

在应用的 PCB 上成正像的摆放示意图 Figure 9。

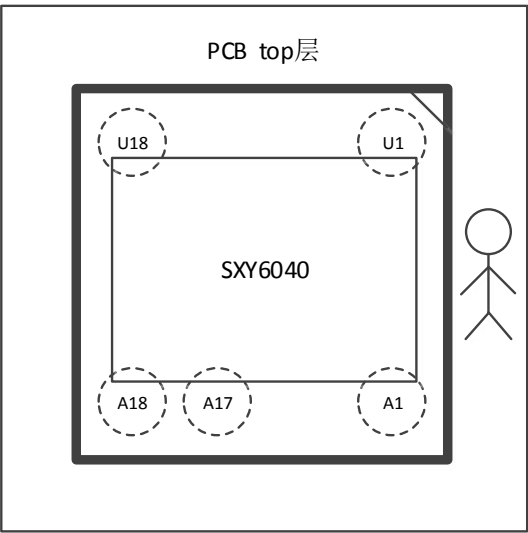


Figure 9 成正像的摆放示意

镜像功能

SXY6040 内部实现图像的水平镜像和垂直镜像功能。具体的镜像对应见 Figure 10。

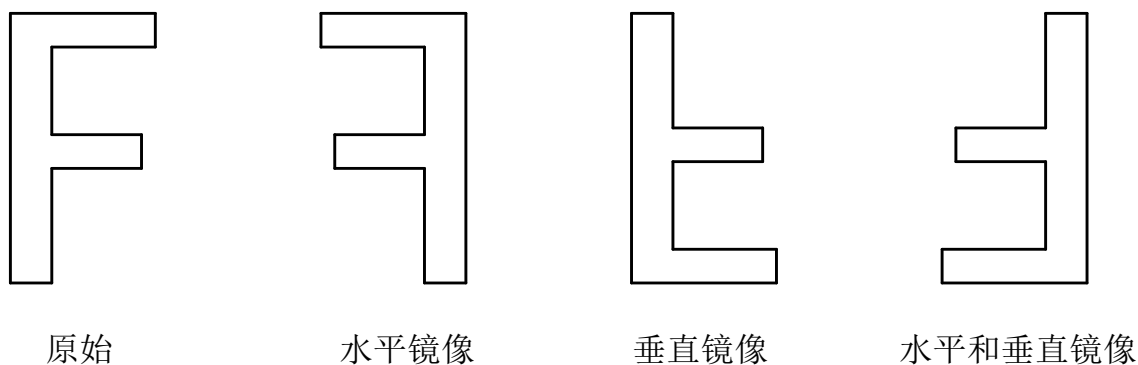


Figure 10 镜像功能示意

镜像功能对应的寄存器为 0x0020 的低两位：请注意不要随意变更该寄存器的其他数据位的数值。该寄存器有影子寄存器，需要向 0x001d 寄存器中写入 0x02 进行更新操作。

Table 7 镜像控制寄存器

寄存器名	地址	位宽	功能	默认值
读出控制	0x0020	8	Bit[7:2]: reserved Bit[1]: 水平镜像控制 Bit[0]: 垂直镜像控制	0x00

时钟的计算

时钟的定义

Table 8 时钟定义

名称	符号	描述	计算方法
外部输入时钟	Clkin	芯片外部接入时钟	-
系统主时钟	Mclk	芯片内部运行主时钟	见《系统主时钟控制》章节
像素时钟	Pclk	芯片像素时钟	见《PLL 控制》章节

PLL 控制

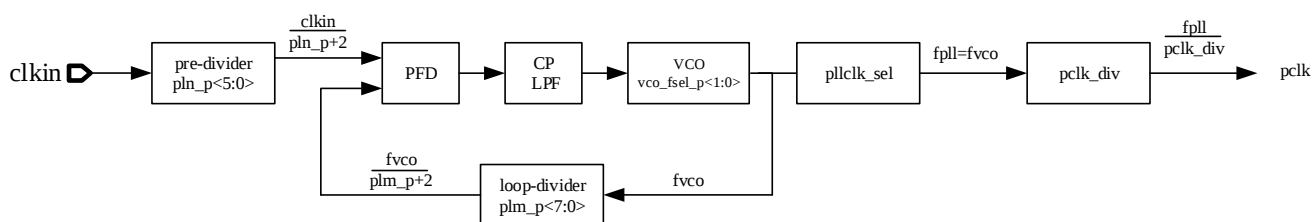


Figure 11 PLL 框图

输出 Pclk 与 Clkin 的频率对应关系为：

$$f_{pclk} = \frac{(plm + 2) * f_{clkin}}{(pln + 2)} * \frac{1}{pclk_div}$$

PLL 对应的控制寄存器如 Table 9 所示。

Table 9 PLL 控制寄存器

寄存器名	地址	位宽	功能	默认值
PLM	0x0033	8	Plm	0x14
PLN	0x0034	6	Pln	0x00
PLLCTRL_P	0x0030	8	Bit[7]: reserved, read only Bit[6]: reserved Bit[5:4]: vco_freq_sel Bit[3:0]: reserved	0xa0
READC	0x0020	8	Bit[7]: hbin_en Bit[5:4]: col_skip 2'b00-colskip0 2'b01-colskip1 2'b1x-colskip3	0x00
RGB_MODE	0x001a	2	Bit[1:0]: rgb_mode	0x0
GSS1_EVOD_CTRL	0x0027	1	Bit[0]: gss1_evod_mode	0x0
IO_CTRL	0x00e3	2	Bit[1]: reserved Bit[0]: mipi_lvds_sel 1'b0-LVDS 1'b1-MIPI	0x2
MIPI_FORMAT_CTRL	0x0301	4	Bit[3:2]: mipi_lane_ctrl 2'b00-2 lane 2'b01-4 lane 2'b1x-8 lane Bit[1:0]: mipi_data_format 2'b00-RAW8 2'b01-RAW10 2'b1x-RAW12	0xa
LVDS_MODE	0x06d0	7	Bit[6]: reserved Bit[5:4]: lvds_lane_ctrl 2'b00-2 lane 2'b01-4 lane 2'b10-6 lane 2'b11-8 lane Bit[3:2]: lvds_raw_type 2'b00-RAW8 2'b01-RAW10	0x7b

			2'b1x-RAW12	
			Bit[1:0]: reserved	

参数 hbin_div 和 pclk_div 由多个控制寄存器值决定，如 Table 11 和 Table 12 所示：

Table 10 hbin_div 与控制寄存器关系

hbin_en[0]	rgb_mode[1:0]	colskip[1:0]	gss1_evod_mode[0]	hbin_div[0]
0	0	0	0	0
			1	
		1/2/3	0	1
			1	0
	1/2/3	0	0	
			1	
		1/2/3	0	
			1	
1	0	0	0	1
			1	
		1/2/3	0	
			1	
	1/2/3	0	0	
			1	
		1/2/3	0	
			1	

Table 11 LVDS 模式 pclk_div 与控制寄存器关系

LVDS Mode, mipi_lvds_sel=0			
hbin_div[0]	lvds_raw_type[1:0]	lvds_lane_ctrl[1:0]	pclk_div
0	0	0	2
		1	1
		3	0.5
	1	0	2.5
		1	1.25
		3	
	2/3	0	3
		1	1.5
		2	1
		3	0.75
1	0	0	1

		1	0.5
		3	
	1	0	1.25
		1	
		3	
	2/3	0	1.5
		1	0.75
		2	1
		3	0.75

Table 12 MIPI 模式 pclk_div 与控制寄存器关系

MIPI Mode, mipi_lvds_sel=1			
hbin_div[0]	mipi_data_format[1:0]	mipi_lane_ctrl [1:0]	pclk_div
0	0	0	1
		1	
		2/3	
	1	0	1.25
		1	
		2/3	
	2/3	0	1.5
		1	
		2/3	0.75
1	0	0	1
		1	
		2/3	
	1	0	1.25
		1	
		2/3	
	2/3	0	0.75
		1	
		2/3	

当调节 VCO 振荡频率时，需要设置 PLLCTRL_P 中的 vco_freq_sel。VCO 频率的计算公式为：

$$F_{vco} = F_{clkin} * (plm_p + 2)/(pln_p + 2)$$

根据 Table 13 来设置 vco_freq_sel。

Table 13 PLL VCO 频率设置对应表

vco_freq_sel<1:0>	PLL VCO 频率范围
2'b00	130M ~ 565M
2'b01	153M ~ 720M
2'b10	232M ~ 930M
2'b11	316M ~ 1252M

系统主时钟控制

Mclk（系统主时钟）可选为 Clkin（外部输入时钟），或 Pclk（像素时钟）的分频。

Table 14 系统主时钟控制

寄存器名	地址	位宽	功能	默认值
MCLK_CTRL	0x0017	8	Bit[7:4]: mclkc, mclk 分频系数控制 Bit[1]: reserved Bit[0]: mclk 分频方式控制: 1'b1: 使 mclk 等于 clkin 1'b0: 使 mclk 等于 pclk 的分频, 即 $F_{mclk} = F_{pclk}/(mclkc+1)$ 。F 表示对应时钟的频率。	0x10

调节幅面与帧率

像素阵列排布

SXY6040 的有效像素阵列大小为 2896H×2176V，具体的排布情况请见 Figure 12。其中（0，0）像素的位置与《成像方向》所述的（0，0）像素一节对应。

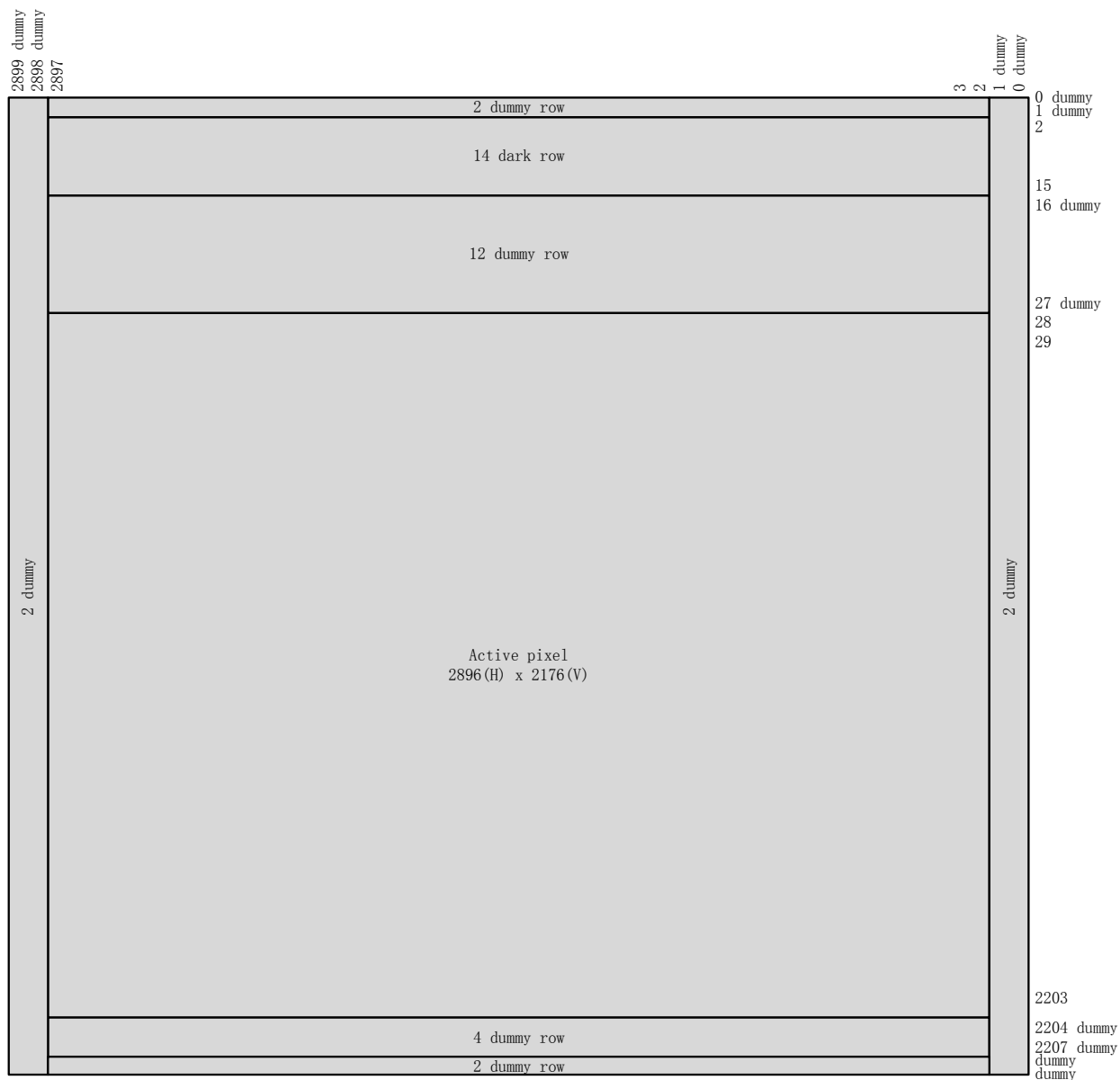


Figure 12 像素阵列排布示意图

调整幅面

SXY6040 有最多 8 个水平方向 ROI 和最多 8 个垂直方向 ROI。每个水平方向 ROI 可分别使能并有独立的 HSTART（水平开始）和 HSIZE（宽度），每个垂直方向 ROI 可分别使能并有独立的 VSTART（垂直开始）和 VSIZE（高度）。所有 ROI 均使能时，可组成 64 个矩形 ROI，如 Figure 13 所示。

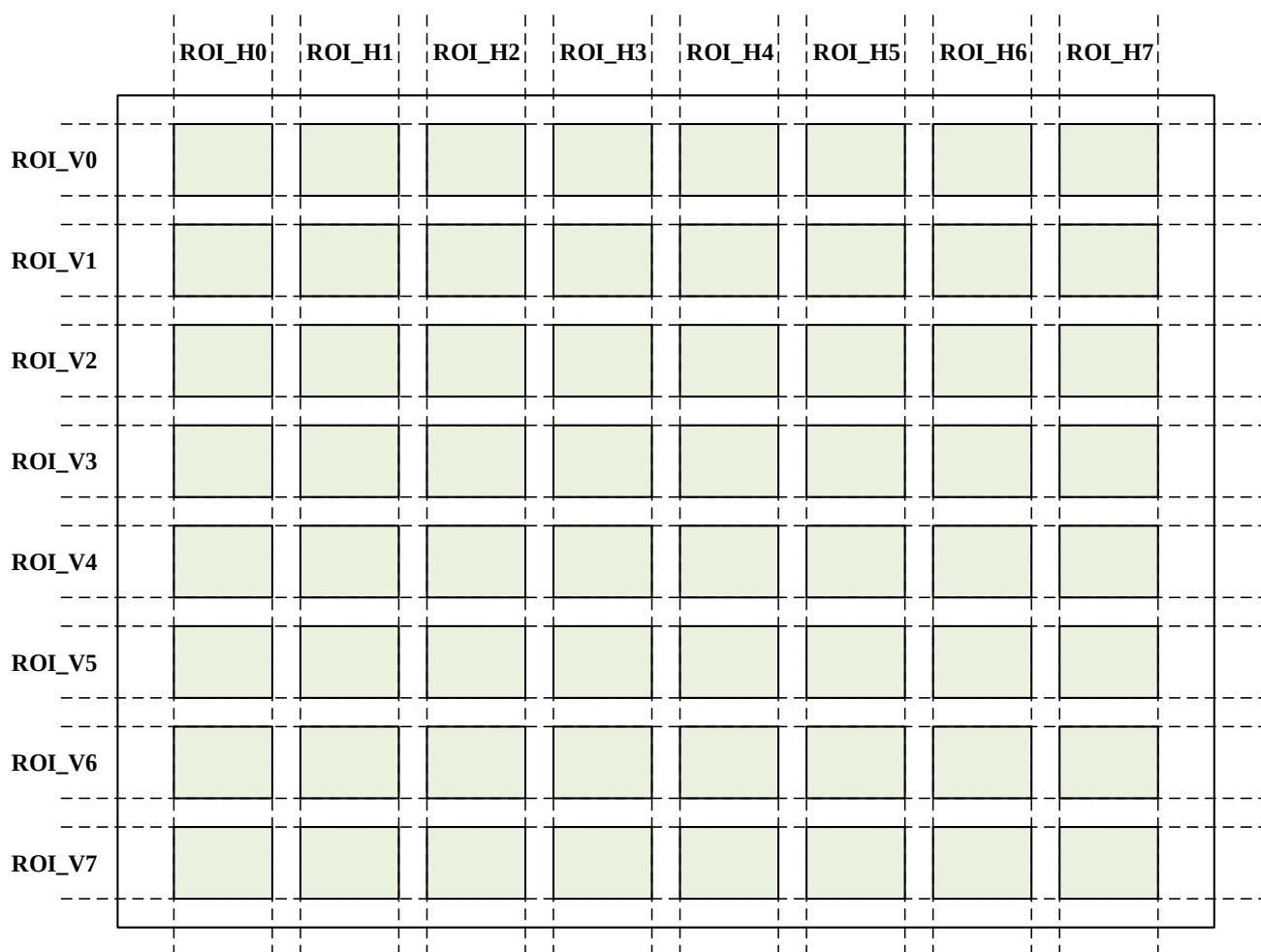


Figure 13 ROI 功能

矩形 ROI 数量大于 1 时，HSTART、HSIZE、VSTART 和 VSIZE 必须设置为偶数，仅 1 个矩形 ROI 使能时可设置为奇数。所有矩形 ROI 相互拼接得到 1 帧图像后输出，以 Figure 14 为例，水平方向使能 ROI_H0 和 ROI_H2，垂直方向使能 ROI_V1 和 ROI_V4，得到 4 个矩形 ROI 区域，拼接成 1 帧图像输出。

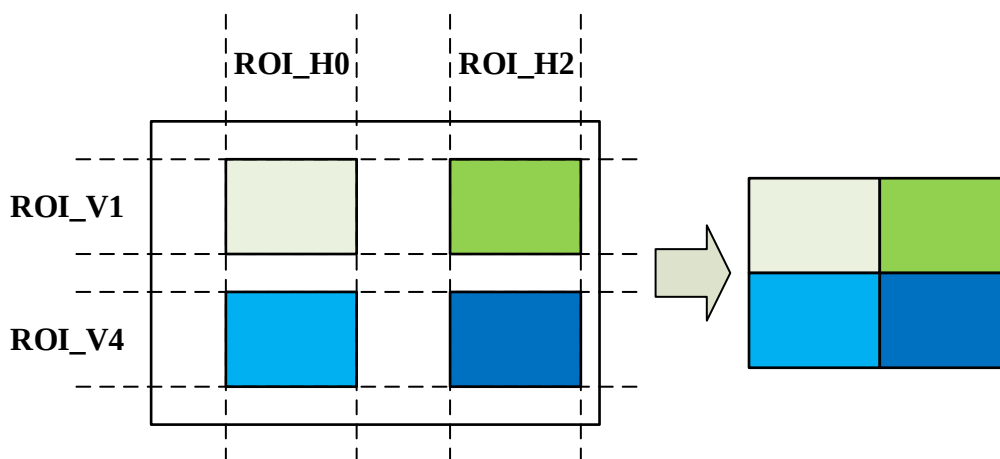


Figure 14 多个 ROI 区域拼接输出

WINDOW 寄存器共 16 位，每位对应 183 或 181 列读出电路；当该位为 1 时，对应的 183 或 181 列读出电路使能，当该位为 0 时，对应的读出电路关闭。如果开启窗选功能，那么实际的输出水平宽度大小为所有使能列数之和，寄存器的地址见 Table 15。默认只使能 ROI_H0 和 ROI_V0，HSIZE 的默认值为 0xb40，VSIZE 的默

认为 0x870，默认输出的图像大小为 2880×2160。HSIZE，VSIZE，HSTART，VSTART 和 WINDOW 调整后需要向 0x001d 写 0x02 才会生效。

Table 15 控制输出幅面寄存器

寄存器名	地址	位宽	功能	默认值
ROIH_CTRL	0x3000	8	水平方向 ROI 使能控制 Bit[7]: 0-关闭 ROI_H7; 1-使能 ROI_H7 Bit[6]: 0-关闭 ROI_H6; 1-使能 ROI_H6 Bit[5]: 0-关闭 ROI_H5; 1-使能 ROI_H5 Bit[4]: 0-关闭 ROI_H4; 1-使能 ROI_H4 Bit[3]: 0-关闭 ROI_H3; 1-使能 ROI_H3 Bit[2]: 0-关闭 ROI_H2; 1-使能 ROI_H2 Bit[1]: 0-关闭 ROI_H1; 1-使能 ROI_H1 Bit[0]: 0-关闭 ROI_H0; 1-使能 ROI_H0	0x01
ROIV_CTRL	0x3001	8	垂直方向 ROI 使能控制 Bit[7]: 0-关闭 ROI_V7; 1-使能 ROI_V7 Bit[6]: 0-关闭 ROI_V6; 1-使能 ROI_V6 Bit[5]: 0-关闭 ROI_V5; 1-使能 ROI_V5 Bit[4]: 0-关闭 ROI_V4; 1-使能 ROI_V4 Bit[3]: 0-关闭 ROI_V3; 1-使能 ROI_V3 Bit[2]: 0-关闭 ROI_V2; 1-使能 ROI_V2 Bit[1]: 0-关闭 ROI_V1; 1-使能 ROI_V1 Bit[0]: 0-关闭 ROI_V0; 1-使能 ROI_V0	0x01
HSTARTH	0x0002	4	ROI_H0 水平起始位置控制 Bit[11:8]	0x0
HSTARTL	0x0003	8	ROI_H0 水平起始位置控制 Bit[7:0]	0x00
VSTARTH	0x0004	4	ROI_V0 垂直起始位置控制 Bit[11:8]	0x0
VSTARTL	0x0005	8	ROI_V0 垂直起始位置控制 Bit[7:0]	0x1c
HSIZEH	0x0006	4	ROI_H0 水平尺寸控制 Bit[11:8]	0xb
HSIZEL	0x0007	8	ROI_H0 水平尺寸控制 Bit[7:0]	0x40
VSIZEH	0x0008	4	ROI_V0 垂直尺寸控制 Bit[11:8]	0x8
VSIZEL	0x0009	8	ROI_V0 垂直尺寸控制 Bit[7:0]	0x70
HSTART_ROI1H	0x3002	4	ROI_H1 水平起始位置控制 Bit[11:8]	0x0
HSTART_ROI1L	0x3003	8	ROI_H1 水平起始位置控制 Bit[7:0]	0x00
VSTART_ROI1H	0x3004	4	ROI_V1 垂直起始位置控制 Bit[11:8]	0x0
VSTART_ROI1L	0x3005	8	ROI_V1 垂直起始位置控制 Bit[7:0]	0x1c
HSIZE_ROI1H	0x3006	4	ROI_H1 水平尺寸控制 Bit[11:8]	0xb
HSIZE_ROI1L	0x3007	8	ROI_H1 水平尺寸控制 Bit[7:0]	0x40

VSIZE_ROI1H	0x3008	4	ROI_V1 垂直尺寸控制 Bit[11:8]	0x8
VSIZE_ROI1L	0x3009	8	ROI_V1 垂直尺寸控制 Bit[7:0]	0x70
HSTART_ROI2H	0x300a	4	ROI_H2 水平起始位置控制 Bit[11:8]	0x0
HSTART_ROI2L	0x300b	8	ROI_H2 水平起始位置控制 Bit[7:0]	0x00
VSTART_ROI2H	0x300c	4	ROI_V2 垂直起始位置控制 Bit[11:8]	0x0
VSTART_ROI2L	0x300d	8	ROI_V2 垂直起始位置控制 Bit[7:0]	0x1c
HSIZE_ROI2H	0x300e	4	ROI_H2 水平尺寸控制 Bit[11:8]	0xb
HSIZE_ROI2L	0x300f	8	ROI_H2 水平尺寸控制 Bit[7:0]	0x40
VSIZE_ROI2H	0x3010	4	ROI_V2 垂直尺寸控制 Bit[11:8]	0x8
VSIZE_ROI2L	0x3011	8	ROI_V2 垂直尺寸控制 Bit[7:0]	0x70
HSTART_ROI3H	0x3012	4	ROI_H3 水平起始位置控制 Bit[11:8]	0x0
HSTART_ROI3L	0x3013	8	ROI_H3 水平起始位置控制 Bit[7:0]	0x00
VSTART_ROI3H	0x3014	4	ROI_V3 垂直起始位置控制 Bit[11:8]	0x0
VSTART_ROI3L	0x3015	8	ROI_V3 垂直起始位置控制 Bit[7:0]	0x1c
HSIZE_ROI3H	0x3016	4	ROI_H3 水平尺寸控制 Bit[11:8]	0xb
HSIZE_ROI3L	0x3017	8	ROI_H3 水平尺寸控制 Bit[7:0]	0x40
VSIZE_ROI3H	0x3018	4	ROI_V3 垂直尺寸控制 Bit[11:8]	0x8
VSIZE_ROI3L	0x3019	8	ROI_V3 垂直尺寸控制 Bit[7:0]	0x70
HSTART_ROI4H	0x301a	4	ROI_H4 水平起始位置控制 Bit[11:8]	0x0
HSTART_ROI4L	0x301b	8	ROI_H4 水平起始位置控制 Bit[7:0]	0x00
VSTART_ROI4H	0x301c	4	ROI_V4 垂直起始位置控制 Bit[11:8]	0x0
VSTART_ROI4L	0x301d	8	ROI_V4 垂直起始位置控制 Bit[7:0]	0x1c
HSIZE_ROI4H	0x301e	4	ROI_H4 水平尺寸控制 Bit[11:8]	0xb
HSIZE_ROI4L	0x301f	8	ROI_H4 水平尺寸控制 Bit[7:0]	0x40
VSIZE_ROI4H	0x3020	4	ROI_V4 垂直尺寸控制 Bit[11:8]	0x8
VSIZE_ROI4L	0x3021	8	ROI_V4 垂直尺寸控制 Bit[7:0]	0x70
HSTART_ROI5H	0x3022	4	ROI_H5 水平起始位置控制 Bit[11:8]	0x0
HSTART_ROI5L	0x3023	8	ROI_H5 水平起始位置控制 Bit[7:0]	0x00
VSTART_ROI5H	0x3024	4	ROI_V5 垂直起始位置控制 Bit[11:8]	0x0
VSTART_ROI5L	0x3025	8	ROI_V5 垂直起始位置控制 Bit[7:0]	0x1c
HSIZE_ROI5H	0x3026	4	ROI_H5 水平尺寸控制 Bit[11:8]	0xb
HSIZE_ROI5L	0x3027	8	ROI_H5 水平尺寸控制 Bit[7:0]	0x40
VSIZE_ROI5H	0x3028	4	ROI_V5 垂直尺寸控制 Bit[11:8]	0x8
VSIZE_ROI5L	0x3029	8	ROI_V5 垂直尺寸控制 Bit[7:0]	0x70
HSTART_ROI6H	0x302a	4	ROI_H6 水平起始位置控制 Bit[11:8]	0x0
HSTART_ROI6L	0x302b	8	ROI_H6 水平起始位置控制 Bit[7:0]	0x00

VSTART_ROI6H	0x302c	4	ROI_V6 垂直起始位置控制 Bit[11:8]	0x0
VSTART_ROI6L	0x302d	8	ROI_V6 垂直起始位置控制 Bit[7:0]	0x1c
HSIZE_ROI6H	0x302e	4	ROI_H6 水平尺寸控制 Bit[11:8]	0xb
HSIZE_ROI6L	0x302f	8	ROI_H6 水平尺寸控制 Bit[7:0]	0x40
VSIZE_ROI6H	0x3030	4	ROI_V6 垂直尺寸控制 Bit[11:8]	0x8
VSIZE_ROI6L	0x3031	8	ROI_V6 垂直尺寸控制 Bit[7:0]	0x70
HSTART_ROI7H	0x3032	4	ROI_H7 水平起始位置控制 Bit[11:8]	0x0
HSTART_ROI7L	0x3033	8	ROI_H7 水平起始位置控制 Bit[7:0]	0x00
VSTART_ROI7H	0x3034	4	ROI_V7 垂直起始位置控制 Bit[11:8]	0x0
VSTART_ROI7L	0x3035	8	ROI_V7 垂直起始位置控制 Bit[7:0]	0x1c
HSIZE_ROI7H	0x3036	4	ROI_H7 水平尺寸控制 Bit[11:8]	0xb
HSIZE_ROI7L	0x3037	8	ROI_H7 水平尺寸控制 Bit[7:0]	0x40
VSIZE_ROI7H	0x3038	4	ROI_V7 垂直尺寸控制 Bit[11:8]	0x8
VSIZE_ROI7L	0x3039	8	ROI_V7 垂直尺寸控制 Bit[7:0]	0x70
WINDOWH	0x00bc	8	列读出电路使能控制 Bit[15:8] Bit[15]: 0-关闭 2717~2899 列; 1-使能 2717~2899 列 Bit[14]: 0-关闭 2536~2716 列; 1-使能 2536~2716 列 Bit[13]: 0-关闭 2355~2535 列; 1-使能 2355~2535 列 Bit[12]: 0-关闭 2174~2354 列; 1-使能 2174~2354 列 Bit[11]: 0-关闭 1993~2173 列; 1-使能 1993~2173 列 Bit[10]: 0-关闭 1812~1992 列; 1-使能 1812~1992 列 Bit[9]: 0-关闭 1631~1811 列; 1-使能 1631~1811 列 Bit[8]: 0-关闭 1450~1630 列; 1-使能 1450~1630 列	0xff
WINDOWL	0x00bd	8	列读出电路使能控制 Bit[7:0] Bit[7]: 0-关闭 1269~1449 列; 1-使能 1269~1449 列 Bit[6]: 0-关闭 1088~1268 列; 1-使能 1088~1268 列 Bit[5]: 0-关闭 907~1087 列; 1-使能 907~1087 列 Bit[4]: 0-关闭 726~906 列; 1-使能 726~906 列 Bit[3]: 0-关闭 545~725 列; 1-使能 545~725 列 Bit[2]: 0-关闭 364~544 列; 1-使能 364~544 列 Bit[1]: 0-关闭 183~363 列; 1-使能 183~363 列 Bit[0]: 0-关闭 0~182 列; 1-使能 0~182 列	0xff

调整帧率

决定 SXY6040 输出帧率的寄存器为 ROWTIME、TFRM 和 TFRM_MCK，其中 ROWTIME 以主时钟周期 T_{mclk} 为单位，TFRM 以行时间 T_{row} 为单位，TFRM_MCK 以主时钟周期 T_{mclk} 为单位，寄存器描述见 Table 16。

行时间 T_{row} 和帧时间 T_{frm} 计算公式如下：

$$T_{row} = ROWTIME \times T_{mclk}$$
$$T_{frm} = (TFRM \times ROWTIME + TFRM_MCK) \times T_{mclk}$$

Table 16 帧率控制寄存器

寄存器名	地址	位宽	功能	默认值
ROWTIMEH	0x000e	8	以主时钟周期 T_{mclk} 为单位的行时间控制寄存器 Bit[15:8]。	0x05
ROWTIMEL	0x000f	8	以主时钟周期 T_{mclk} 为单位的行时间控制寄存器 Bit[7:0]。	0xd2
TFRMH	0x0010	8	以行时间为单位的帧时间控制寄存器 Bit[15:8]。	0x08
TFRML	0x0011	8	以行时间为单位的帧时间控制寄存器 Bit[7:0]。	0xa6
TFRM_MCKH	0x0012	8	以主时钟周期 T_{mclk} 为单位的帧时间微调控制寄存器 Bit[15:8]。	0x00
TFRM_MCKL	0x0013	8	以主时钟周期 T_{mclk} 为单位的帧时间微调控制寄存器 Bit[7:0]。	0x00

ROWTIME 的默认值为 0x05d2(十进制为 1490)，TFRM 的默认值为 0x08a6(十进制为 2214)，TFRM_MCK 的默认值为 0x0000（十进制为 0）。由前述公式得到帧时间为：

$$T_{frm} = (2214 \times 1490 + 0) \times T_{mclk}$$

ROWTIME、TFRM 和 TFRM_MCK 寄存器调整后需要向 0x001d 写入 0x01 或 0x02 才会生效。

调节曝光与增益

调节曝光

决定 SXY6040 曝光时间的寄存器为 TEXP、TEXP_MCK、TEXP_ROI1、TEXP_MCK_ROI1、TEXP_ROI2 和 TEXP_MCK_ROI2，其中 TEXP、TEXP_ROI1 和 TEXP_ROI2 以行时间 T_{row} 为单位，TEXP_MCK、TEXP_MCK_ROI1 和 TEXP_MCK_ROI2 以输入主时钟周期 T_{mclk} 为单位，寄存器描述见 Table 17。曝光窗口 0 曝光时间 T_{exp} 、曝光窗口 1 曝光时间 T_{exp_roi1} 和曝光窗口 2 曝光时间 T_{exp_roi2} 计算公式如下：

$$T_{exp} = (TEXP \times ROWTIME + TEXP_MCK) \times T_{mclk}$$
$$T_{exp_roi1} = (TEXP_ROI1 \times ROWTIME + TEXP_MCK_ROI1) \times T_{mclk}$$
$$T_{exp_roi2} = (TEXP_ROI2 \times ROWTIME + TEXP_MCK_ROI2) \times T_{mclk}$$

T_{exp} 、 T_{exp_roi1} 和 T_{exp_roi2} 必须小于 T_{frm} ，否则无法输出图像。

Table 17 曝光控制寄存器

寄存器名	地址	位宽	功能	默认值
TEXPH	0x000c	8	以行时间为单位的曝光窗口 0 曝光时间控制 Bit[15:8]。	0x02
TEXPL	0x000d	8	以行时间为单位的曝光窗口 0 曝光时间控制 Bit[7:0]。	0x7c
TEXP_MCKH	0x000a	8	以主时钟周期 T_{mclk} 为单位的曝光窗口 0 曝光时间微调控制 Bit[15:8]。	0x00
TEXP_MCKL	0x000b	8	以主时钟周期 T_{mclk} 为单位的曝光窗口 0 曝光时间微调控制 Bit[7:0]。	0x00
TEXP_ROI1H	0x3040	8	以行时间为单位的曝光窗口 1 曝光时间控制 Bit[15:8]。	0x00
TEXP_ROI1L	0x3041	8	以行时间为单位的曝光窗口 1 曝光时间控制 Bit[7:0]。	0x00
TEXP_MCK_ROI1H	0x3042	8	以主时钟周期 T_{mclk} 为单位的曝光窗口 1 曝光时间微调控制 Bit[15:8]。	0x00
TEXP_MCK_ROI1L	0x3043	8	以主时钟周期 T_{mclk} 为单位的曝光窗口 1 曝光时间微调控制 Bit[7:0]。	0x00

TEXP_ROI2H	0x3044	8	以行时间为单位的曝光窗口 2 曝光时间控制 Bit[15:8]。	0x00
TEXP_ROI2L	0x3045	8	以行时间为单位的曝光窗口 2 曝光时间控制 Bit[7:0]。	0x00
TEXP_MCK_ROI2H	0x3046	8	以主时钟周期 T_{mclk} 为单位的曝光窗口 2 曝光时间微调控制 Bit[15:8]。	0x00
TEXP_MCK_ROI2L	0x3047	8	以主时钟周期 T_{mclk} 为单位的曝光窗口 2 曝光时间微调控制 Bit[7:0]。	0x00

TEXP 的默认值为 0x027c（十进制为 636），TEXP_MCK 的默认值为 0x0000（十进制为 0）；TEXP_ROI1 的默认值为 0x0000（十进制为 0），TEXP_MCK_ROI1 的默认值为 0x0000（十进制为 0）；TEXP_ROI2 的默认值为 0x0000（十进制为 0），TEXP_MCK_ROI2 的默认值为 0x0000（十进制为 0）。由前述公式得到曝光时间为：

$$T_{exp} = (636 \times 1490 + 0) \times T_{mclk}$$

$$T_{exp_roi1} = (0 \times 0 + 0) \times T_{mclk}$$

$$T_{exp_roi2} = (0 \times 0 + 0) \times T_{mclk}$$

TEXP、TEXP_MCK、TEXP_ROI1、TEXP_MCK_ROI1、TEXP_ROI2 和 TEXP_MCK_ROI2 调整后需要往 0x001d 写入 0x01 或 0x02 才会生效。

多曝光窗口模式

支持最多 3 个曝光窗口，每个曝光窗口的窗口范围和曝光时间独立控制，默认为单曝光窗口模式，相关寄存器如 Table 18 所示。

Table 18 曝光窗口控制寄存器

寄存器名	地址	位宽	功能	默认值
EXPROI_MODE	0x303a	2	Bit[1:0]: 曝光窗口模式设置 2'b00-单曝光窗口模式，仅使能曝光窗口 0 2'b01-双曝光窗口模式，使能曝光窗口 0 和曝光窗口 1 2'b1x-三曝光窗口模式，使能曝光窗口 0、曝光窗口 1 和曝光窗口 2	0x0
VSTART_EXPROI1H	0x303b	4	曝光窗口 1 起始行控制 Bit[11:8]	0x0
VSTART_EXPROI1L	0x303c	8	曝光窗口 1 起始行控制 Bit[7:0]	0x1c
VSTART_EXPROI2H	0x303d	4	曝光窗口 2 起始行控制 Bit[11:8]	0x0
VSTART_EXPROI2L	0x303e	8	曝光窗口 2 起始行控制 Bit[7:0]	0x1c

曝光窗口范围由 VSTART_EXPROI1 和 VSTART_EXPROI2 配置：

- 单曝光窗口模式下，所有行均属于曝光窗口 0。
- 双曝光窗口模式下，行地址小于 VSTART_EXPROI1 的行属于曝光窗口 0，行地址大于等于 VSTART_EXPROI1 的行属于曝光窗口 1，如 Figure 15 所示。
- 三曝光窗口模式下，行地址小于 VSTART_EXPROI1 的行属于曝光窗口 0，行地址大于等于 VSTART_EXPROI1 且小于 VSTART_EXPROI2 的行属于曝光窗口 1，行地址大于等于 VSTART_EXPROI2 的行属于曝光窗口 2，如 Figure 16 所示。VSTART_EXPROI2 必须大于 VSTART_EXPROI1。

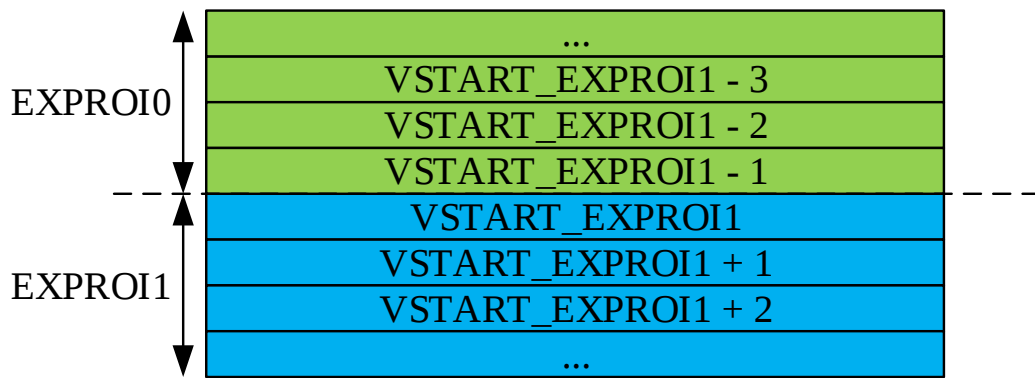


Figure 15 双曝光窗口模式

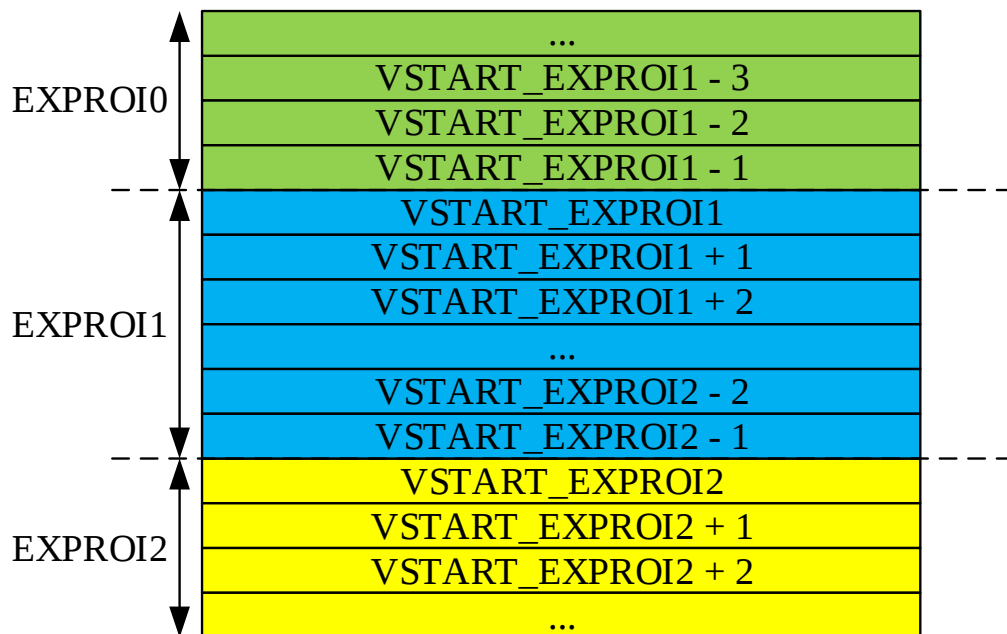


Figure 16 三曝光窗口模式

调节增益

SXY6040 中有三级可调增益：第一级为转换增益（CG），第二级为模拟增益，第三级为数字增益。

转换增益有两档可选，各曝光窗口转换增益分开调节，转换增益控制寄存器见 Table 19。

Table 19 转换增益控制寄存器

寄存器名	地址	位宽	功能	默认值
SS1_CTRL	0x0023	6	Bit[5:4]: SS1_CTRL2, 曝光窗口 2 转换增益控制 0x0: Gain _{CG} =12, 0x3: Gain _{CG} =1 Bit[3:2]: SS1_CTRL1, 曝光窗口 1 转换增益控制 0x0: Gain _{CG} =12, 0x3: Gain _{CG} =1 Bit[1:0]: SS1_CTRL0, 曝光窗口 0 转换增益控制 0x0: Gain _{CG} =12, 0x3: Gain _{CG} =1	0x00

SS1_CTRL[1:0]与转换增益之间映射关系如下：

$$\text{Gain}_{CG} = \begin{cases} 12, SS1_CTRL[1:0] = 0x0 \\ 1, SS1_CTRL[1:0] = 0x3 \end{cases}$$

实际使用时当转换增益选择 1 倍档位时，最小模拟增益应不小于 1.6 倍，否则可能会出现画面不过曝的情况；转换增益选择 12 倍档位时无此限制。

模拟增益的控制寄存器见 Table 20。

Table 20 模拟增益控制寄存器

寄存器名	地址	位宽	功能	默认值
VREFH_CON	0x00b4	4	Ref 增益控制	0xf
RMPGAIN_CTRL	0x00c4	7	Ramp 增益控制 Bit[6:4]: rmpgain_sel_s HDR 模式短帧 Ramp 增益控制 Bit[2:0]: rmpgain_sel 单帧模式或 HDR 模式长帧 Ramp 增益控制	0x11

由以上寄存器控制的模拟增益为：

$$\text{Gain}_{analog} = \text{Gain}_{rmp} \cdot \frac{16}{\text{VREFH_CON} + 1}$$

其中，Gain_{rmp} 由控制字 rmpgain_sel 和 rmpgain_sel_s 设置，如 Table 21 所示。

Table 21 rmpgain_sel[2:0]与 Gain_{rmp} 对应关系

rmpgain_sel[2:0]	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
Gain _{rmp}	0.8	1	2	4	8	N/A	N/A	N/A

优先使用 rmpgain_sel 粗调模拟增益，然后再用 VREFH_CON 细调。

数字增益的控制寄存器为 DGAIN 和 DGAIN_S，如 Table 22 所示。数字增益 Gain_{digital} 与 DGAIN 或 DGAIN_S 的关系如下式，当 DGAIN 或 DGAIN_S 为 0x0200 时表示 1 倍数字增益：

$$\text{Gain}_{digital} = \frac{\text{DGAIN}}{512}$$

Table 22 数字增益控制寄存器

寄存器名	地址	位宽	功能	默认值
DGAINH	0x00c0	5	单帧或 HDR 长帧数字增益控制 Bit[12:8]	0x02
DGAINL	0x00c1	8	单帧或 HDR 长帧数字增益控制 Bit[7:0]	0x00
DGAIN_SH	0x00c2	5	HDR 短帧数字增益控制 Bit[12:8]	0x02
DGAIN_SL	0x00c3	8	HDR 短帧数字增益控制 Bit[7:0]	0x00

综上，总增益为：

$$\text{Gain}_{All} = \text{Gain}_{CG} \times \text{Gain}_{analog} \times \text{Gain}_{digital}$$

黑电平校正

SXY6040 芯片内建了黑电平校正模块。其基本原理是利用黑电平参考像素对有效像素进行黑电平校正，用

以消除电路，环境温度带来的黑电平漂移。

Table 23 BLC 控制寄存器

寄存器名	地址	位宽	功能	默认值
DBLC_CTRL	0x0120	2	Bit[1]: reserved Bit[0]: 单帧或 HDR 长帧 DBLC 使能, 高有效。	0x1
DBLC_MAN_REFRESH	0x0121	1	单帧或 HDR 长帧刷新 DBLC	Self-refresh
DBLC_ACT_TARH	0x0124	4	单帧或 HDR 长帧期望得到的最终图像的 Target Bit[11:8], 无符号数。	0x0
DBLC_ACT_TARL	0x0125	8	单帧或 HDR 长帧期望得到的最终图像的 Target Bit[7:0], 无符号数。	0x00
DBLC_TH_0H	0x012a	7	单帧或 HDR 长帧曝光窗口 0 的收敛范围调整 Bit[14:8], 无符号数。	0x00
DBLC_TH_0L	0x012b	8	单帧或 HDR 长帧曝光窗口 0 的收敛范围调整 Bit[7:0], 无符号数。	0x40
DBLC_TH_1H	0x012c	7	单帧或 HDR 长帧曝光窗口 1 的收敛范围调整 Bit[14:8], 无符号数。	0x00
DBLC_TH_1L	0x012d	8	单帧或 HDR 长帧曝光窗口 1 的收敛范围调整 Bit[7:0], 无符号数。	0x40
DBLC_TH_2H	0x012e	7	单帧或 HDR 长帧曝光窗口 2 的收敛范围调整 Bit[14:8], 无符号数。	0x00
DBLC_TH_2L	0x012f	8	单帧或 HDR 长帧曝光窗口 2 的收敛范围调整 Bit[7:0], 无符号数。	0x40
DBLC_CTRL_S	0x0220	2	Bit[1]: reserved Bit[0]: HDR 短帧 DBLC 使能, 高有效。	0x1
DBLC_MAN_REFRESH_S	0x0221	1	HDR 短帧刷新 DBLC	Self-refresh
DBLC_ACT_TAR_SH	0x0224	4	HDR 短帧期望得到的最终图像的 Target Bit[11:8], 无符号数。	0x0
DBLC_ACT_TAR_SL	0x0225	8	HDR 短帧期望得到的最终图像的 Target Bit[7:0], 无符号数。	0x00
DBLC_TH_0_SH	0x022a	7	HDR 短帧曝光窗口 0 的收敛范围调整 Bit[14:8], 无符号数。	0x00
DBLC_TH_0_SL	0x022b	8	HDR 短帧曝光窗口 0 的收敛范围调整 Bit[7:0], 无符号数。	0x40
DBLC_TH_1_SH	0x022c	7	HDR 短帧曝光窗口 1 的收敛范围调整 Bit[14:8], 无符号数。	0x00
DBLC_TH_1_SL	0x022d	8	HDR 短帧曝光窗口 1 的收敛范围调整 Bit[7:0], 无符号数。	0x40
DBLC_TH_2_SH	0x022e	7	HDR 短帧曝光窗口 2 的收敛范围调整 Bit[14:8], 无符号数。	0x00
DBLC_TH_2_SL	0x022f	8	HDR 短帧曝光窗口 2 的收敛范围调整 Bit[7:0], 无符号数。	0x40

DBLC_CTRL 为 BLCC 功能的控制开关；

BLCC 的目标值由 DBLC_TAR 来调节，即 BLCC 操作完成后期望得到的黑电平；

DBLC_TH 用来调节算法的稳定范围，最终的收敛示意如 Figure 17 所示；

调整 target 时，dblc_man_refresh 写 1 才能及时生效，否则会在下次暗电平变化或调整前后 Target 相差较大时自动生效。

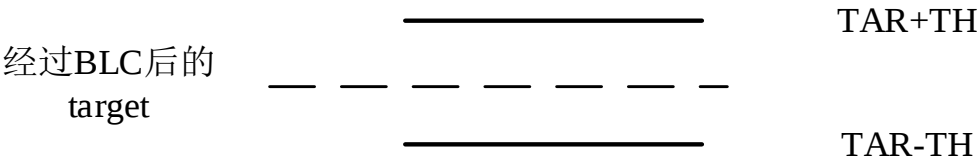


Figure 17 BLC 收敛示意

MIPI

- 支持 MIPI CSI-2 协议、D-PHY 协议编码。
- 支持 2/4/8 对 Data lane，1 对 Clock lane 差分传输。
- 支持 RAW8/RAW10/RAW12 数据格式。

Table 24 MIPI 控制寄存器

寄存器名	地址	位宽	功能	默认值
MIPI_CTRL	0x0300	6	Bit[5:1]: reserved Bit[0]: MIPI 使能控制，1 使能。	0x01
MIPI_FORMAT_CTRL	0x0301	4	Bit[3:2]: MIPI Data lane 数控制 2'b00: 2-Lane 2'b01: 4-Lane 2'b10/2'b11: 8-Lane Bit[1:0]: MIPI 数据格式控制 2'b00: RAW8 2'b01: RAW10 2'b10/2'b11: RAW12	0x0a
MIPI_DPHY_LANEHS_CTRL	0x0385	8	Data Lane 使能控制 Bit[7]: Data lane 7 HS enable，使用 8 个数据通道时必须设为 1。 Bit[6]: Data lane 6 HS enable，使用 8 个数据通道时必须设为 1。 Bit[5]: Data lane 5 HS enable，使用 8 个数据通道时必须设为 1。 Bit[4]: Data lane 4 HS enable，使用 8 个数据通道时必须设为 1。	8'hff

			Bit[3]: Data lane 3 HS enable, 使用 4/8 个数据通道时必须设为 1。 Bit[2]: Data lane 2 HS enable, 使用 4/8 个数据通道时必须设为 1。 Bit[1]: Data lane 1 HS enable, 使用 2/4/8 个数据通道时必须设为 1。 Bit[0]: Data lane 0 HS enable, 使用 2/4/8 个数据通道时必须设为 1。	
MIPI_PCLK_PERIOD	0x0389	8	MIPI 时序计算控制 需设置的值为 MIPI clock lane 时钟周期的 4 倍, 单位 ns, 向下取整。	0x0b
IO_CTRL	0x00e3	2	Bit[1]: reserved Bit[0]: 数据接口模式控制 1'b0: LVDS mode 1'b1: MIPI mode	0x2
OENCTRL	0x00bf	5	Clock lane/Data lane 输出使能控制, 0 为正常输出, 1 为高阻。 Bit[4]: Clock lane 输出使能控制 Bit[3]: Data lane 6/7 输出使能控制 Bit[2]: Data lane 4/5 输出使能控制 Bit[1]: Data lane 2/3 输出使能控制 Bit[0]: Data lane 0/1 输出使能控制	0x1f

RAW8、RAW10 和 RAW12 的数据输出顺序如 Figure 18 所示。

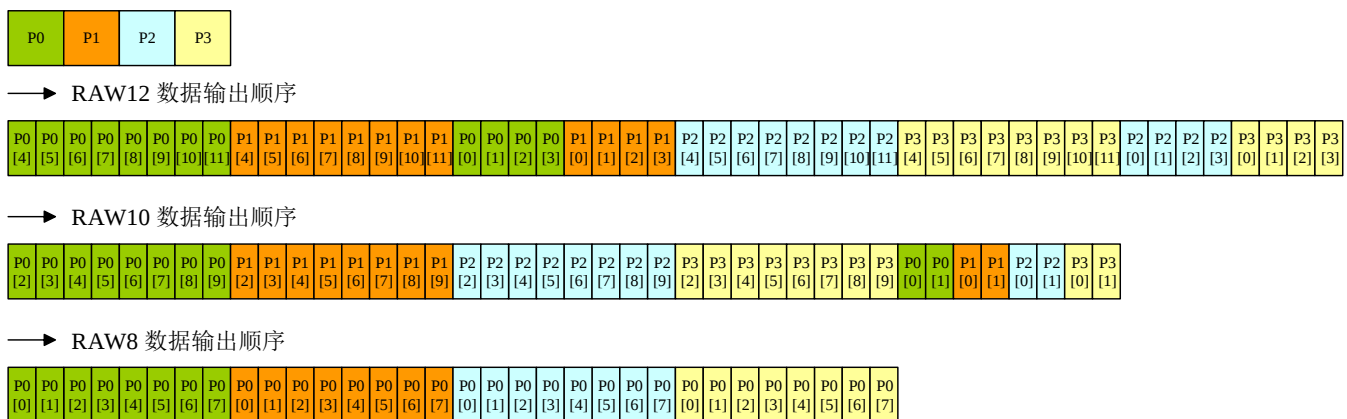


Figure 18 RAW8/RAW10/RAW12 数据输出顺序

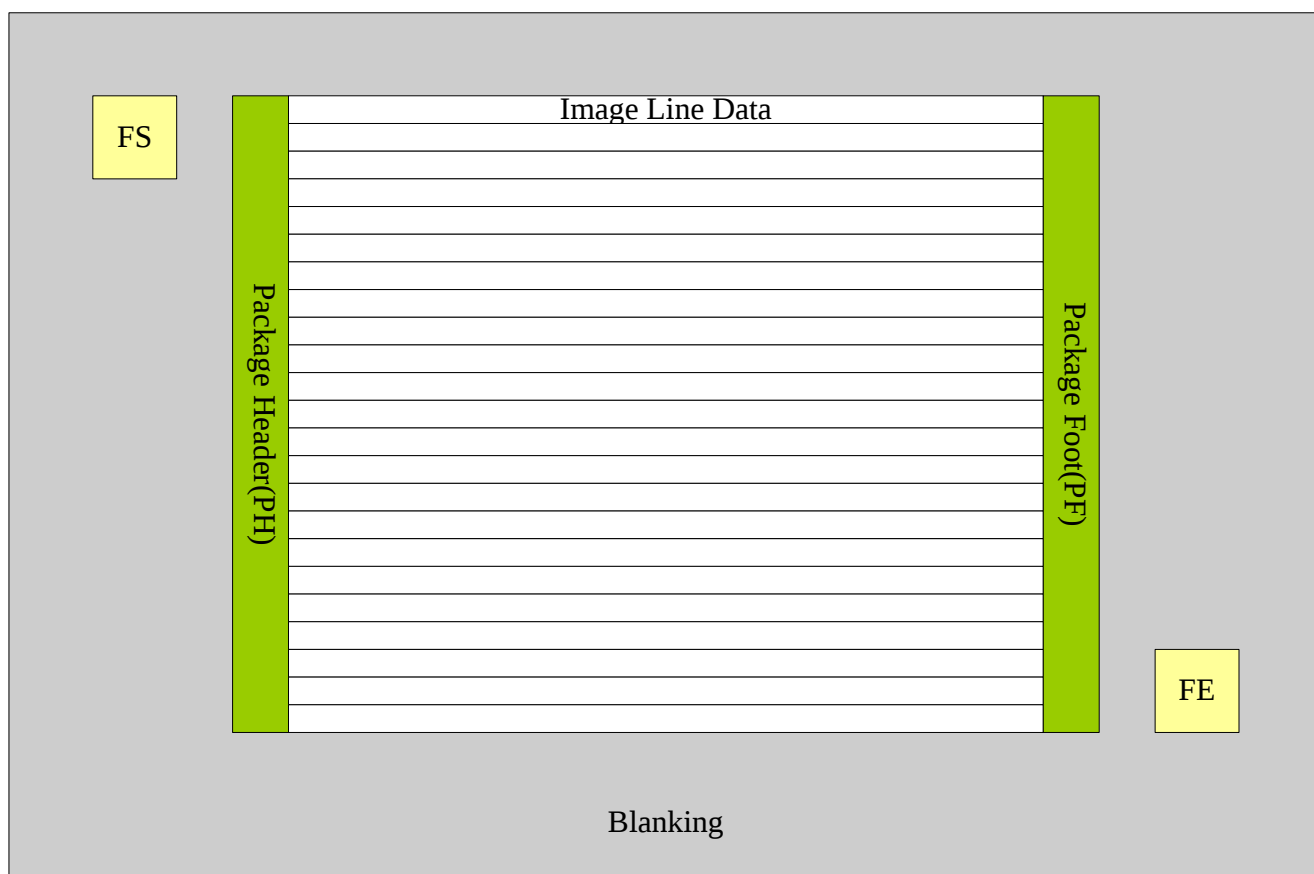


Figure 19 MIPI Frame Timing

MIPI D-PHY 的工作示意图见 Figure 20 和 Figure 21。

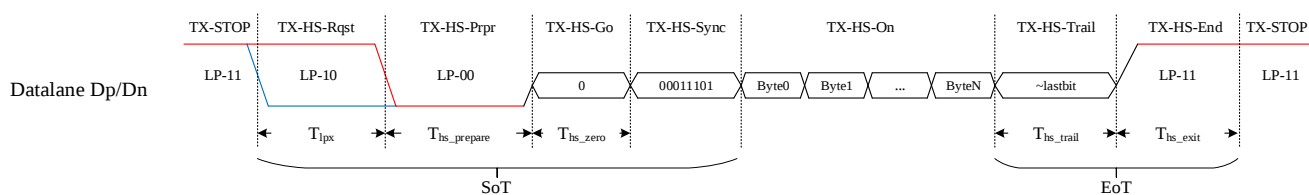


Figure 20 Data lane High-speed 传输过程

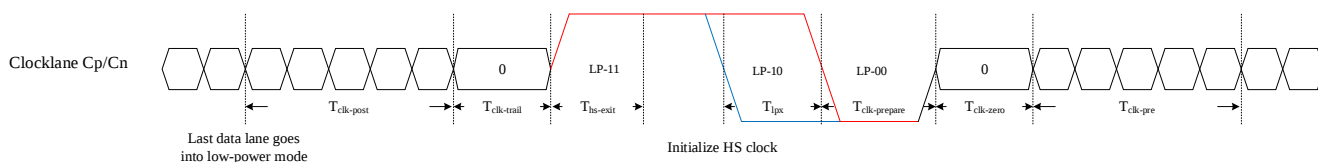


Figure 21 Clock lane High-speed 时钟停止和恢复过程

LVDS

- 支持 BT656 协议编码。
- 支持 2/4/8 对 RAW8/RAW10/RAW12，以及 6 对 RAW12 DDR 模式串行 LVDS 传输。

同步码传输方式见 Figure 22，图中 H 表示同步码，P 表示像素。可以选择每个像素的高位先出或低位先出，见 Figure 23 和 Figure 24。

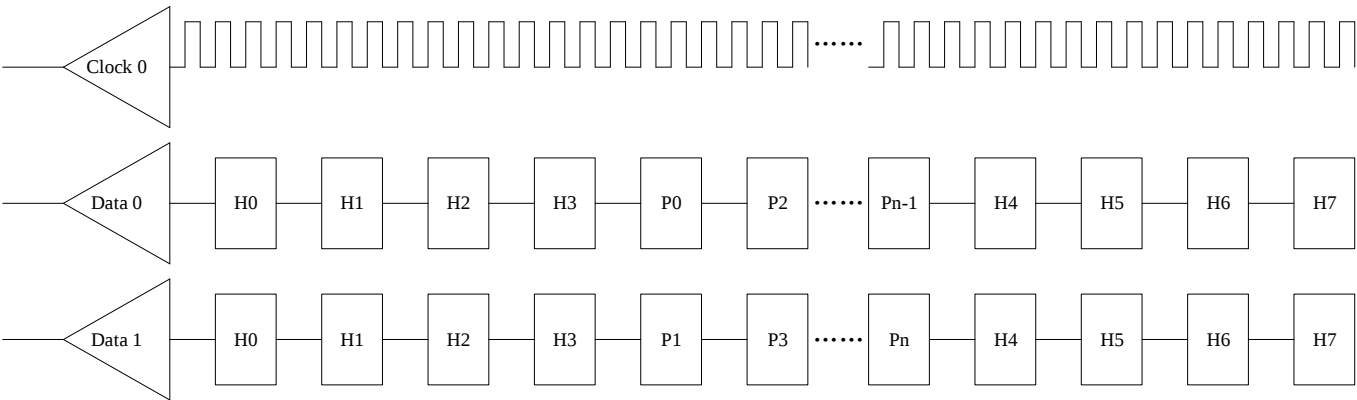


Figure 22 同步码传输方式示意图（2 data lane）

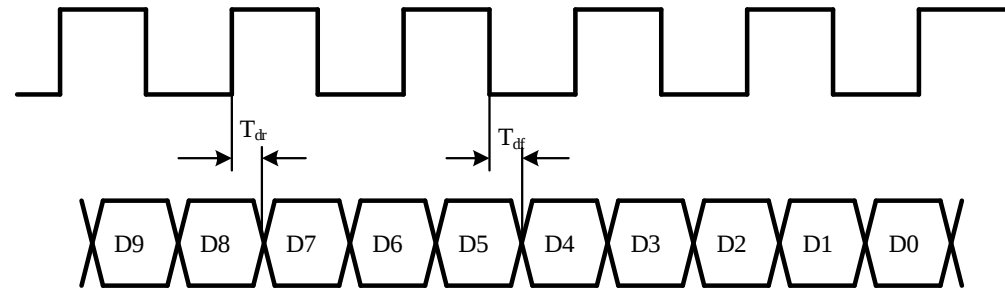


Figure 23 LVDS 单个像素 MSB 传输方式（RAW10）

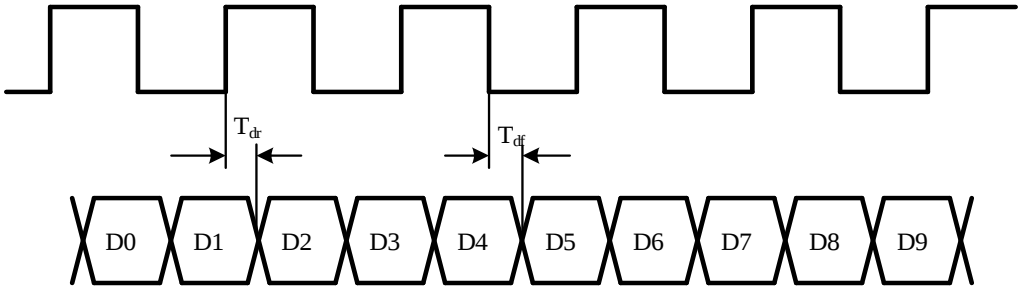


Figure 24 LVDS 单个像素 LSB 传输方式（RAW10）

Table 25 LVDS 时序参数

参数	描述	数值（ns）	
		Min	Max
T_{dr}	数据相对 lvds_clk 上升沿的延时	0	
T_{df}	数据相对 lvds_clk 下降沿的延时	0	

同步模式 0 见 Figure 25，每帧第一行的 SOL 被 SOF 代替，每帧最后一行的 EOL 被 EOF 代替。

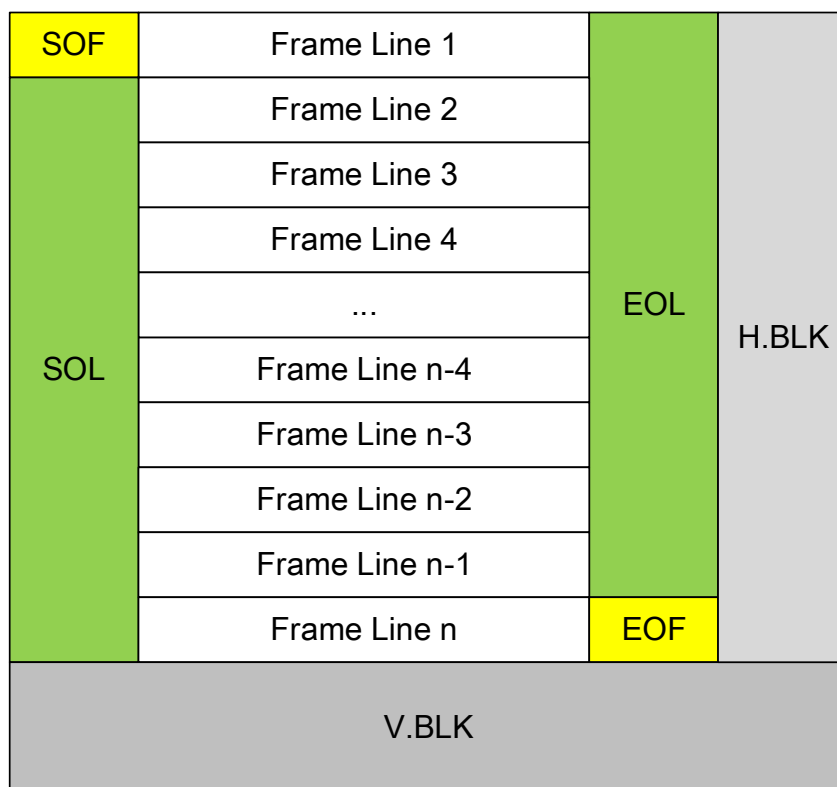


Figure 25 LVDS 同步模式 0 示意图

同步模式 1 见 Figure 26，每帧的 SOF 于第一行的 SOL 前单独发送，EOF 于最后一行的 EOL 后单独发送。

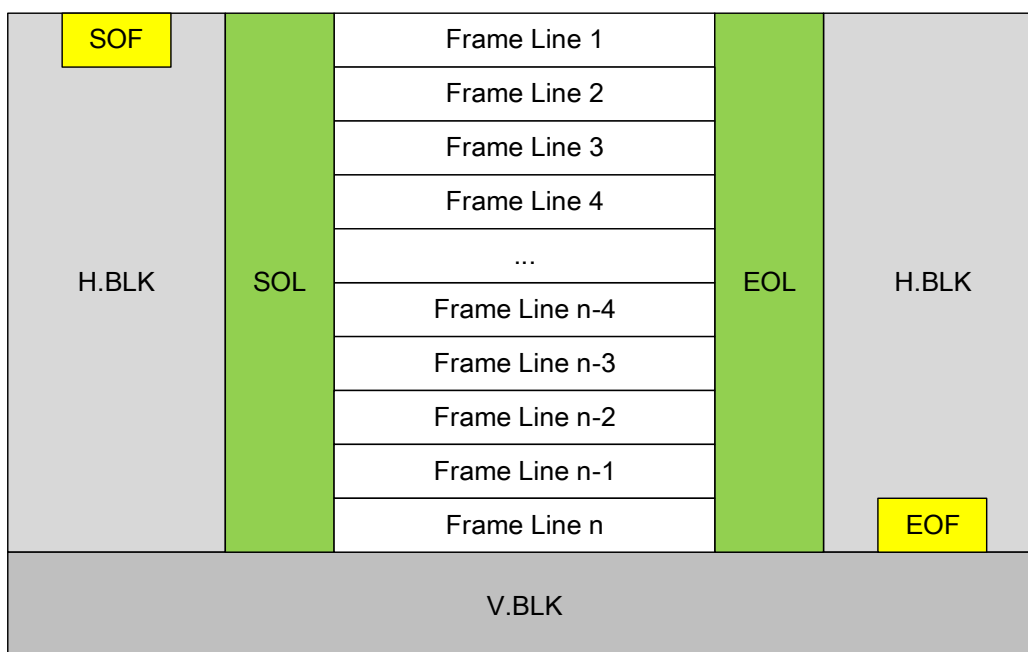


Figure 26 LVDS 同步模式 1 示意图

LVDS 同步码由 4 个码值组成，每个码值位宽与像素位宽相同，如 Table 26 所示。其中 SOF_0、EOF_0、SOL_0 和 EOL_0 为单帧或 HDR 长帧同步码，SOF_1、EOF_1、SOL_1 和 EOL_1 为 HDR 短帧同步码。

Table 26 LVDS 同步码

Sync code	Bit width	1 st code	2 nd code	3 rd code	4 th code
SOF_0	8	FFh	00h	00h	B6h

	10	3FFh	000h	000h	2D8h
	12	FFFh	000h	000h	B60h
EOF_0	8	FFh	00h	00h	80h
	10	3FFh	000h	000h	200h
	12	FFFh	000h	000h	800h
SOL_0	8	FFh	00h	00h	9Dh
	10	3FFh	000h	000h	274h
	12	FFFh	000h	000h	9D0h
EOL_0	8	FFh	00h	00h	ABh
	10	3FFh	000h	000h	2ACh
	12	FFFh	000h	000h	AB0h
SOF_1	8	FFh	00h	00h	F1h
	10	3FFh	000h	000h	3C4h
	12	FFFh	000h	000h	F10h
EOF_1	8	FFh	00h	00h	C7h
	10	3FFh	000h	000h	31Ch
	12	FFFh	000h	000h	C70h
SOL_1	8	FFh	00h	00h	DAh
	10	3FFh	000h	000h	368h
	12	FFFh	000h	000h	DA0h
EOL_1	8	FFh	00h	00h	ECh
	10	3FFh	000h	000h	3B0h
	12	FFFh	000h	000h	EC0h

Table 27 LVDS 控制寄存器

寄存器名	地址	位宽	功能	默认值
LVDS_MODE	0x06d0	7	Bit[6]: LVDS 大小端控制 1'b0: LSB first (小端模式) 1'b1: MSB first (大端模式) Bit[5:4]: LVDS Data lane 数控制 2'b00: 2-Lane 2'b01: 4-Lane 2'b10: 6-Lane 2'b11: 8-Lane Bit[3:2]: LVDS 数据格式控制 2'b00: RAW8 2'b01: RAW10	0x7b

			2'b10/2'b11: RAW12 Bit[1]: reserved Bit[0]: BT656 编码使能	
IO_CTRL	0x00e3	2	Bit[1]: reserved Bit[0]: 数据接口模式控制 1'b0: LVDS mode 1'b1: MIPI mode	0x2

其他

数据相位调节

Table 28 相位调节相关寄存器

寄存器名	地址	位宽	功能	默认值
CLKDLY_CTRL	0x00e4	8	Bit[7:4]: Clock lane 的相位调节 Bit[3:0]: reserved	0x00
DATADLY_CTRL0	0x00ea	8	Bit[7:4]: Data lane 1 的相位调节 Bit[3:0]: Data lane 0 的相位调节	0x00
DATADLY_CTRL1	0x00eb	8	Bit[7:4]: Data lane 3 的相位调节 Bit[3:0]: Data lane 2 的相位调节	0x00
DATADLY_CTRL2	0x00ec	8	Bit[7:4]: Data lane 5 的相位调节 Bit[3:0]: Data lane 4 的相位调节	0x00
DATADLY_CTRL3	0x00ed	8	Bit[7:4]: Data lane 7 的相位调节 Bit[3:0]: Data lane 6 的相位调节	0x00

量子效率曲线

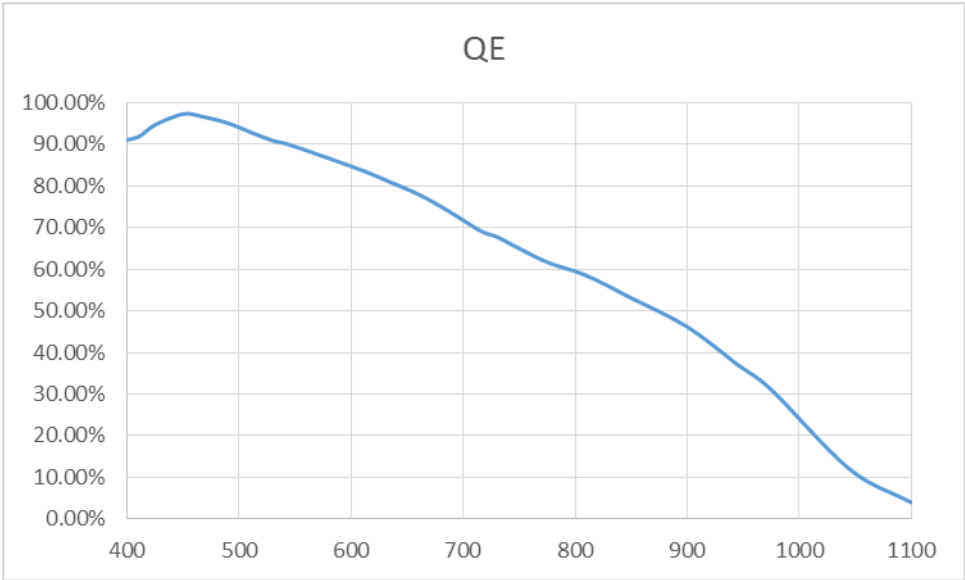


Figure 27 量子效率曲线