

SXY6034 3/4 inch 6.3M 全局曝光 CMOS 图像传感器应用手册

简介

SXY6034 为 3/4 inch 6M 分辨率全局曝光 CMOS 图像传感器,最高帧率为 60fps,有效像素为 2896H x 2176V。

特点

- 高性能像素设计
- 高动态范围, 支持 Analog gain HDR
- 量化精度可变 8bit /10bit/12bit
- 支持 2X2 Binning
- 支持 Skip mode-sub sampling
- 支持外触发模式
- 支持外触发编码曝光
- 支持最多 8H x 8V ROI 读出
- LED strobe
- 内置温度传感器
- 多芯片级联

应用

- 安防监控
- 工业相机
- 高速图像采集

关键参数

Table 1 关键参数

参数		典型值
光学尺寸		3/4 inch
有效像素阵列		2896(H)×2176(V)
像素大小		3.45um×3.45um
像素特点		低噪声 Global shutter 像素
有效感光面积		9.991mm×7.507mm
灵敏度 @BW		45296e-/lux.s
SNRmax		39.1dB
满阱电子数		8Ke-
暗电流 @60℃		PD: 100e-/s SN: 15e-/s
寄生光感（PLS）		6000
最高帧率		60fps@full frame 12bit 130fps@1080P 12bit
光滤阵列		BW
CRA		9° MAX
曝光方式		Global shutter
高动态范围模式		Analog gain HDR
读出噪声		1.4 e-
动态范围		75dB
量化精度		12bit/10bit/8bit
输出接口		8/6/4/2 lane LVDS 8/4/2 lane MIPI 12bit/10bit/8bit 数据格式
工作温度		-30℃ ~ 85℃ ^①
供电	Digital	1.5V ±0.1V
	IO	1.7V ~ 3.3V
	Analog	3.3 V ±0.1V
控制接口		IIC
封装形式		CLGA
封装尺寸		19mm x 18mm
ESD 等级		HBM: 2000V

① 此处温度为结温范围, 非环境温度

Table of Content

简介	1
特点	1
应用	1
关键参数.....	1
Table of Content.....	2
印刷电路板设计指导.....	5
封装图.....	5
管脚定义.....	5
应用电路图.....	11
供电设计.....	13
芯片上电和下电时序图.....	14
PCB 注意事项	14
寄存器控制总线.....	14
I2C 总线.....	14
影子寄存器更新.....	15
光学设计.....	15
成像方向.....	15
镜像功能.....	16
调节幅面与帧率.....	17
像素阵列排布.....	17
时钟的计算.....	18
时钟的定义.....	18
PLL 控制	18
系统主时钟控制.....	20
调整幅面.....	20
调整帧率.....	23
调节曝光与增益.....	24
外部触发控制.....	24
调节曝光.....	25
调节增益.....	25
黑电平矫正.....	26
MIPI.....	27
LVDS	29
其他	33
数据相位调节.....	33
量子效率曲线.....	34

List of Figures

Figure 1 封装图	5
Figure 2 Pin 脚分布图	6
Figure 3 推荐应用电路图	12
Figure 4 将 VDDIO 与 VDDD 合并的应用电路图	13
Figure 5 芯片上电和下电时序图	14
Figure 6 I2C 写操作	15
Figure 7 I2C 读操作	15
Figure 8 光学成像示意图	16
Figure 9 成正像的摆放示意	16
Figure 10 镜像功能示意	16
Figure 11 像素阵列排布示意图	17
Figure 12 PLL 框图	18
Figure 13 ROI 功能	21
Figure 14 多个 ROI 区域拼接输出	21
Figure 15 输出波形与帧率计算	23
Figure 16 外部触发模式二	25
Figure 17 外部触发模式三	25
Figure 18 BLC 收敛示意	27
Figure 19 RAW8/RAW10/RAW12 数据输出顺序	28
Figure 20 Mipi Frame Timing	29
Figure 21 Data lane High-speed 传输过程	29
Figure 22 Clock lane High-speed 时钟停止和恢复过程	29
Figure 23 同步码传输方式示意图 (2 data lane)	30
Figure 24 LVDS 单个像素 MSB 传输方式 (RAW10)	30
Figure 25 LVDS 单个像素 LSB 传输方式 (RAW10)	30
Figure 26 LVDS 同步模式 0 示意图	31
Figure 27 LVDS 同步模式 1 示意图	31
Figure 28 量子效率曲线图	34

List of Tables

Table 1 关键参数.....	1
Table 2 管脚描述.....	6
Table 3 电源需求.....	13
Table 4 影子寄存器更新控制	15
Table 5 镜像控制寄存器.....	17
Table 6 时钟定义.....	18
Table 7 PLL 控制寄存器.....	18
Table 8 LVDS 模式 pclk_div 与控制寄存器关系	19
Table 9 MIPI 模式 pclk_div 与控制寄存器关系.....	19
Table 10 PLL VCO 频率设置对应表.....	20
Table 11 系统主时钟控制	20
Table 12 控制输出幅面寄存器	22
Table 13 帧率控制寄存器.....	24
Table 14 触发模式控制寄存器	24
Table 15 曝光控制寄存器.....	25
Table 16 ramp 增益控制寄存器.....	25
Table 17 RMPGAIN_CTRL[2:0]与 Gain _{rmp} 对应关系	26
Table 18 数字增益控制寄存器	26
Table 19 BLC 控制寄存器	26
Table 20 mipi 控制寄存器.....	27
Table 21 LVDS 时序参数.....	30
Table 22 LVDS 同步码.....	31
Table 23 LVDS 控制寄存器	33
Table 24 调节 Pclk 的相位.....	33

印刷电路板设计指导

本章节用来介绍印刷电路板的设计规则。

封装图

Figure 1 为 SXY6034 封装图。其中定义了具体的机械尺寸以及光学中心。以芯片中心做参照，光学中心为 (0 mm, 0 mm)，具体请参照 Top View 图。

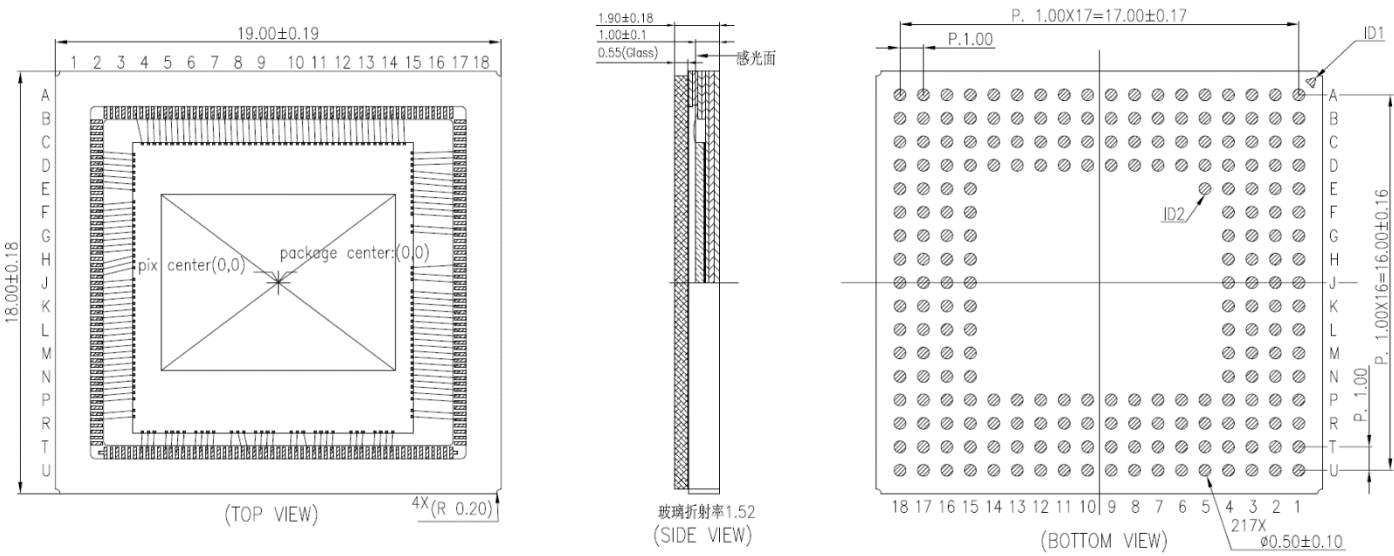


Figure 1 封装图

管脚定义

Figure 2 为 Top View 下的 Pin 脚分布图。可以与 Figure 1 进行参照。Table 2 为 Pin 脚的具体说明。

A8	D2P	O	D	Data 2 P port in LVDS/MIPI mode
A9	D2N	O	D	Data 2 N port in LVDS/MIPI mode
A10	VDDD	-	P	3.3V digital power
A11	D4P	O	D	Data 4 P port in LVDS/MIPI mode
A12	D6P	O	D	Data 6 P port in LVDS/MIPI mode
A13	D6N	O	D	Data 6 N port in LVDS/MIPI mode
A14	VDDIO	-	P	IO power
A15	NC	-	-	Not Connected
A16	NC	-	-	Not Connected
A17	NC	-	-	Not Connected
A18	NC	-	-	Not Connected
B1	NC	-	-	Not Connected
B2	NC	-	-	Not Connected
B3	NC	-	-	Not Connected
B4	EXFSYNC	O	D	frame synchronization signal
B5	VDD_DIG	-	P	1.5V digital power
B6	CKN	O	D	clock N port in LVDS/MIPI mode
B7	D1N	O	D	Data 1 N port in LVDS/MIPI mode
B8	VDD_DIG	-	P	1.5V digital power
B9	D3P	O	D	Data 3 P port in LVDS/MIPI mode
B10	GND	-	G	Ground
B11	D4N	O	D	Data 4 N port in LVDS/MIPI mode
B12	D5P	O	D	Data 5 P port in LVDS/MIPI mode
B13	GND	-	G	Ground
B14	D7N	O	D	Data 7 N port in LVDS/MIPI mode
B15	SCL	I/O	D	I2C clock
B16	NC	-	-	Not Connected
B17	NC	-	-	Not Connected
B18	NC	-	-	Not Connected
C1	NC	-	-	Not Connected
C2	NC	-	-	Not Connected
C3	RSTB	I	D	Chip reset, active low
C4	CLKIN	I	D	Clock input
C5	VDDIO	-	P	IO power
C6	CKP	O	D	clock P port in LVDS/MIPI mode
C7	D1P	O	D	Data 1 P port in LVDS/MIPI mode
C8	GND	-	G	Ground
C9	D3N	O	D	Data 3 N port in LVDS/MIPI mode
C10	VDD_DIG	-	P	1.5V digital power
C11	VDD_DIG	-	P	1.5V digital power
C12	D5N	O	D	Data 5 N port in LVDS/MIPI mode
C13	VDD_DIG	-	P	Digital power
C14	D7P	O	D	Data 7 P port in LVDS/MIPI mode
C15	SDA	I/O	D	I2C Data

C16	NC	-	-	Not Connected
C17	NC	-	-	Not Connected
C18	NC	-	-	Not Connected
D1	GND	-	G	Ground
D2	GND	-	G	Ground
D3	VDDA	-	P	3.3V analog power
D4	VDDD	-	P	3.3V digital power
D5	GND	-	G	Ground
D6	GND	-	G	Ground
D7	GND	-	G	Ground
D8	GND	-	G	Ground
D9	VDDIO	-	P	IO power
D10	GND	-	G	Ground
D11	GND	-	G	Ground
D12	GND	-	G	Ground
D13	GND	-	G	Ground
D14	GND	-	G	Ground
D15	NC	-	-	Not Connected
D16	PD	I	D	Chip power down, active high
D17	EXTRIG	I	D	External trigger
D18	VPP	-	P	OTP power
E1	GND	-	G	Ground
E2	NC	-	-	Not Connected
E3	NC	-	-	Not Connected
E4	VRST	O	A	Inner power for pixel reset
E5	GND	-	G	Ground
E15	EXP_TRIG	I	D	Exposure trigger
E16	VDDA_LDO	-	P	Analog power for LDO
E17	VRST	O	A	Inner power for pixel reset
E18	KPT_TRIG	I	D	Knee-point trigger
F1	VDDD	-	P	3.3V digital power
F2	VLDO_AB1	O	A	LDO output for AB1
F3	VLDO_AB2	O	A	LDO output for AB2
F4	GND	-	G	Ground
F15	GND	-	G	Ground
F16	NC	-	-	Not Connected
F17	GND	-	G	Ground
F18	GND	-	G	Ground
G1	VDD_DIG	-	P	1.5V digital power
G2	GND	-	G	Ground
G3	VNCP_AB	O	A	NCP output for AB
G4	GND	-	G	Ground
G15	GND	-	G	Ground
G16	NC	-	-	Not Connected

G17	NC	-	-	Not Connected
G18	VDDD	-	P	3.3V digital power
H1	NC	-	-	Not Connected
H2	VPCP_TG2	O	A	PCP output for TG2
H3	VLDO_TG2	O	A	LDO output for TG2
H4	GND	-	G	Ground
H15	GND	-	G	Ground
H16	NC	-	-	Not Connected
H17	NC	-	-	Not Connected
H18	NC	-	-	Not Connected
J1	VPCP_AB	O	A	PCP output for AB
J2	VNCP_TX	O	A	NCP output for TX
J3	VDDD	-	P	3.3V digital power
J4	GND	-	G	Ground
J15	GND	-	G	Ground
J16	NC	-	-	Not Connected
J17	VDDA	-	P	3.3V analog power
J18	GND	-	G	Ground
K1	VPCP_RST	O	A	PCP output for RST
K2	VPCP_TX	O	A	PCP output for TX
K3	VNCP_TG2	O	A	NCP output for TG2
K4	GND	-	G	Ground
K15	GND	-	G	Ground
K16	GND	-	G	Ground
K17	GND	-	G	Ground
K18	VDDD	-	P	3.3V digital power
L1	VPCP_TG2	O	A	PCP output for TG2
L2	VDD_DIG	-	P	1.5V digital power
L3	GND	-	G	Ground
L4	GND	-	G	Ground
L15	GND	-	G	Ground
L16	VDD_DIG	-	P	1.5V digital power
L17	GND	-	G	Ground
L18	VDDA	-	P	3.3V analog power
M1	VLDO_AB1	O	A	LDO output for AB1
M2	VLDO_AB2	O	A	LDO output for AB2
M3	VNCP_AB	O	A	NCP output for AB
M4	GND	-	G	Ground
M15	GND	-	G	Ground
M16	GND	-	G	Ground
M17	VDDD	-	P	3.3V digital power
M18	GND	-	G	Ground
N1	VDDPIX	O	A	Inner pixel power
N2	GND	-	G	Ground

N3	VDDD	-	P	3.3V digital power
N4	GND	-	G	Ground
N15	GND	-	G	Ground
N16	GND	-	G	Ground
N17	VDDA_LDO	-	P	Analog power for LDO
N18	VDDPIX	O	A	Inner pixel power
P1	NC	-	-	Not Connected
P2	VDDA	-	P	3.3V analog power
P3	VDDD	-	P	3.3V digital power
P4	GND	-	G	Ground
P5	GND	-	G	Ground
P6	GND	-	G	Ground
P7	GND	-	G	Ground
P8	GND	-	G	Ground
P9	NC	-	-	Not Connected
P10	GND	-	G	Ground
P11	GND	-	G	Ground
P12	GND	-	G	Ground
P13	GND	-	G	Ground
P14	GND	-	G	Ground
P15	GND	-	G	Ground
P16	VDDD	-	P	3.3V digital power
P17	VDDA	-	P	3.3V analog power
P18	NC	-	-	Not Connected
R1	NC	-	-	Not Connected
R2	NC	-	-	Not Connected
R3	NC	-	-	Not Connected
R4	NC	-	-	Not Connected
R5	VDD_DIG	-	P	1.5V digital power
R6	NC	-	-	Not Connected
R7	NC	-	-	Not Connected
R8	NC	-	-	Not Connected
R9	VDD_DIG	-	P	1.5V digital power
R10	NC	-	-	Not Connected
R11	VDD_DIG	-	P	1.5V digital power
R12	NC	-	-	Not Connected
R13	NC	-	-	Not Connected
R14	VDDD	-	P	3.3V digital power
R15	NC	-	-	Not Connected
R16	NC	-	-	Not Connected
R17	NC	-	-	Not Connected
R18	NC	-	-	Not Connected
T1	NC	-	-	Not Connected
T2	NC	-	-	Not Connected

T3	NC	-	-	Not Connected
T4	VDD_DIG	-	P	1.5V digital power
T5	GND	-	G	Ground
T6	VDDD	-	P	3.3V digital power
T7	NC	-	-	Not Connected
T8	GND	-	G	Ground
T9	GND	-	G	Ground
T10	VDD_DIG	-	P	1.5V digital power
T11	VDDD	-	P	3.3V digital power
T12	GND	-	G	Ground
T13	GND	-	G	Ground
T14	VDD_DIG	-	P	1.5V digital power
T15	NC	-	-	Not Connected
T16	NC	-	-	Not Connected
T17	NC	-	-	Not Connected
T18	NC	-	-	Not Connected
U1	NC	-	-	Not Connected
U2	NC	-	-	Not Connected
U3	NC	-	-	Not Connected
U4	GND	-	G	Ground
U5	VDD_DIG	-	P	1.5V digital power
U6	GND	-	G	Ground
U7	VDD_DIG	-	P	1.5V digital power
U8	VDD_DIG	-	P	1.5V digital power
U9	VDDD	-	P	3.3V digital power
U10	NC	-	-	Not Connected
U11	GND	-	G	Ground
U12	NC	-	-	Not Connected
U13	VDD_DIG	-	P	1.5V digital power
U14	GND	-	G	Ground
U15	NC	-	-	Not Connected
U16	NC	-	-	Not Connected
U17	NC	-	-	Not Connected
U18	NC	-	-	Not Connected

(P=Power, G=Ground, D=Digital, A=Analog)

应用电路图

推荐应用电路图请见 Figure 3。

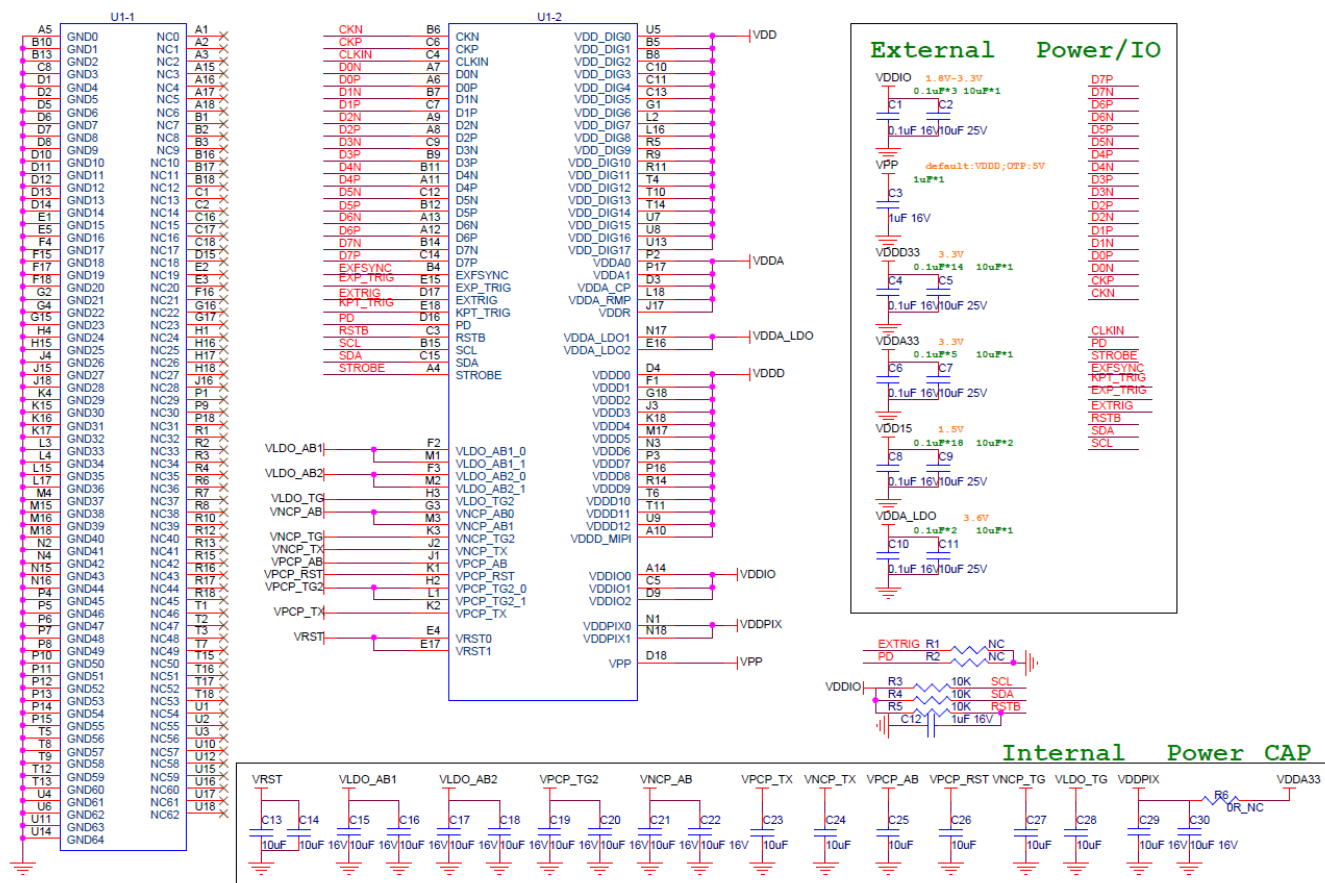


Figure 3 推荐应用电路图

如果 VDDIO 采用 3.3V，那么 VDDIO 可以与 VDDDD 合并，应用电路图见 Figure 4。

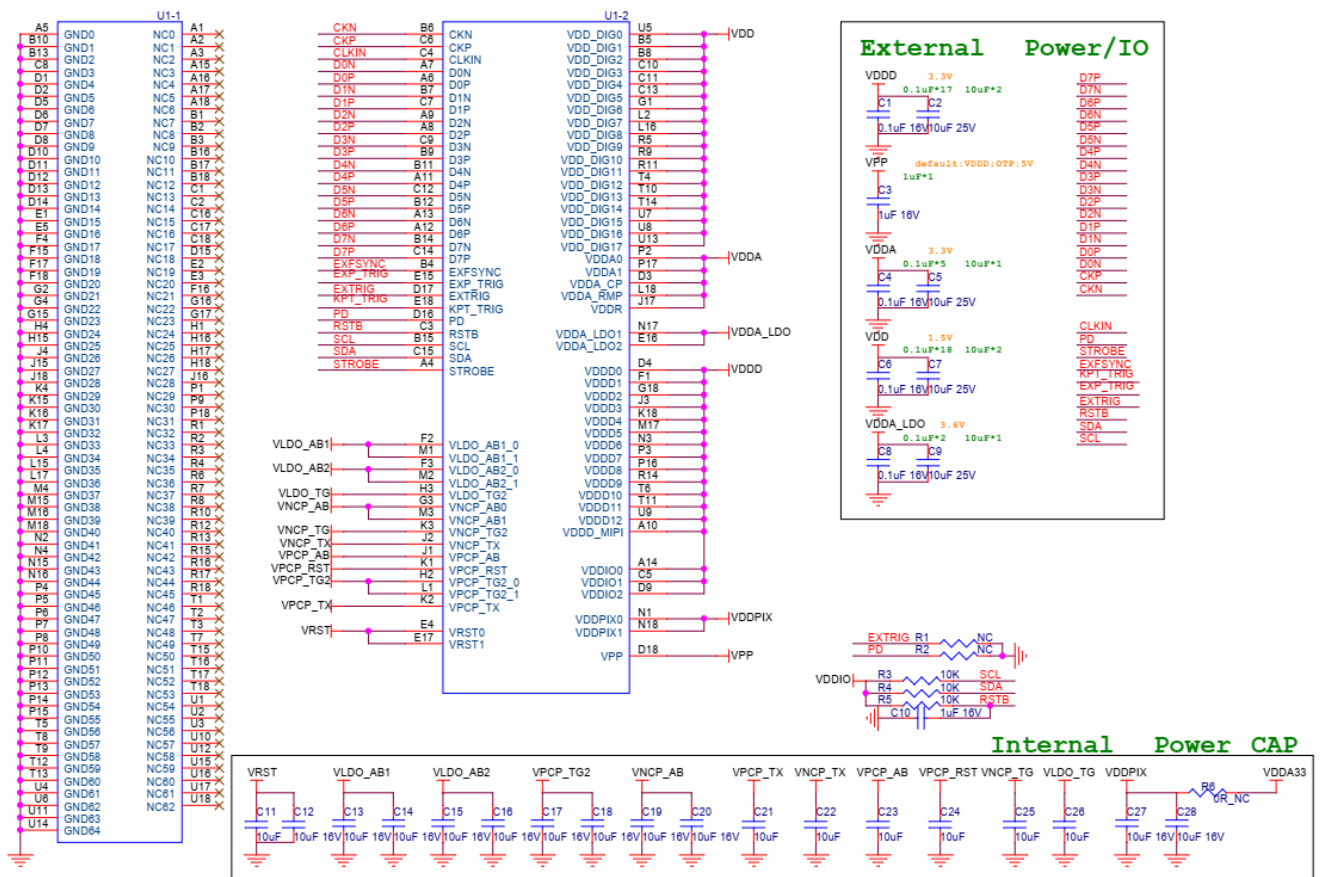


Figure 4 将 VDDIO 与 VDDD 合并的应用电路图

供电设计

各组电源功耗与外接电容需求见 Table 3。

Table 3 电源需求

序号	电源	标准电压	消耗电流(上限)	外接小电容需求
1	VDDD	3.3V	20mA	0.1uF x 14 10uF x 1
2	VDD	1.5V	400mA	0.1uF x 18 10uF x 2
3	VDDIO	1.7V~3.3V	10mA	0.1uF x 3 10uF x 1
4	VDDA	3.3V	100mA	0.1uF x 5 10uF x 1
5	VDDA_LDO	3.6V	100mA	0.1uF x 2 10uF x 1
6	VDDPIX	internal	---	10uF x 2
7	VPP	3.3V/5V	50mA	1uF x 1

注：0.1uF 的电容需要靠近 Pin 脚。每路电源需要至少一个 10uF/22uF 的大电容。10uF/22uF 电容放在 Sensor 周围即可。

芯片上电和下电时序图

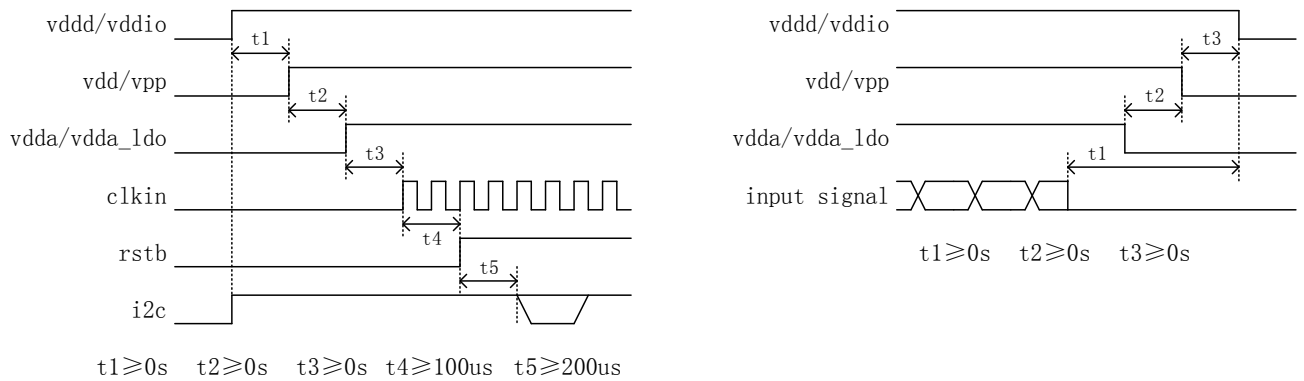


Figure 5 芯片上电和下电时序图

PCB 注意事项

芯片包含多组电源，其中 VDDD、VDDIO、VDD、VPP 属于数字电源，VDDA、VDDA_LDO、VDDPIX 属于模拟电源。GND 使用同一个地网络。

电源线和地线走线尽可能的宽（至少 0.2mm 以上），并且电源线走线尽可能的短，最大限度减小线路上的阻抗。模拟电源尽量避开数字电源及数字信号的区域，用 GND 将模拟电源部分和其他电路隔离开，减少模拟电源被其他信号干扰。各组电源有条件时尽量采用铺铜方式。

需要注意的信号线有 CLKIN、CKP/CKN 等时钟信号，特别是 CLKIN，两侧需要地保护。电源线要远离时钟信号线。

LVDS 信号（CKP/CKN、D0P/N~D7P/N）要走差分线，差分阻抗 100R。P 和 N 走线最好是等长的，数据线间长度误差越小越好。不同组差分线之间距离至少达到线宽的两倍。

图像传感器是温度敏感器件，需要注意板上的热量分布，LDO 或 DC-DC、DSP 等芯片应该放置在离 sensor 较远的地方，以防温度较高的芯片影响 sensor 的图像信号质量。

寄存器控制总线

I2C 总线

SXY6034 通过 I2C 总线对外通信，对应的端口为 SDA 和 SCL。从机读地址为 0x65，从机写地址为 0x64。总线采用 16 位的地址，8 位数据的组织方式。

如 Figure 6 所示为：向地址 0x012c 中写入数据 0x56，DSP 为主机，SXY6034 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 数据；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“STOP”信号。

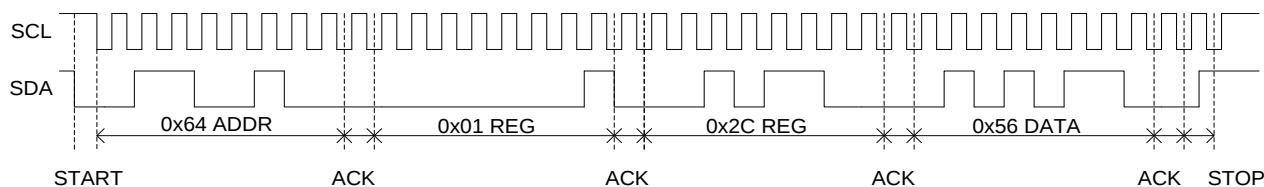


Figure 6 I2C 写操作

如 Figure 7 所示为：从 0x012c 寄存器中读出数据 0x56。DSP 为主机，SXY6034 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“START”信号；
- 主机向从机发送读模式地址 0x65；
- 从机向主机发送“ACK”信号；
- 从机向主机发送 8-bit 数据；
- 主机向从机发送 NOACK；
- 主机向从机发送“STOP”信号。

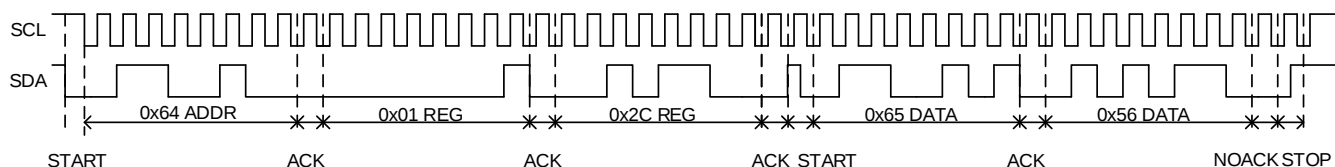


Figure 7 I2C 读操作

影子寄存器更新

SXY6034 内部部分特殊的寄存器采用了影子寄存器。也就是说这部分寄存器在经由 I2C 写入之后不会立即自动更新，而是需要特殊的操作后才会更新。需要“更新”操作的寄存器后面会特殊说明。

Table 4 影子寄存器更新控制

寄存器名	地址	位宽	功能
寄存器更新控制	0x001d	2	Bit[1:0]: 0x01: 立即生效影子寄存器, 并立即中断当前帧, 重新开始下一帧。 0x02: 写入后, 影子寄存器将在下一个有效帧开始时生效。

光学设计

成像方向

SXY6034 的 (0, 0) 像素在 Figure 8 光学成像示意图的 A18 球的一侧。默认读出水平读出方向为 A18 向 A1 方向扫描，默认垂直读出方向为 A18 向 U18 方向扫描。

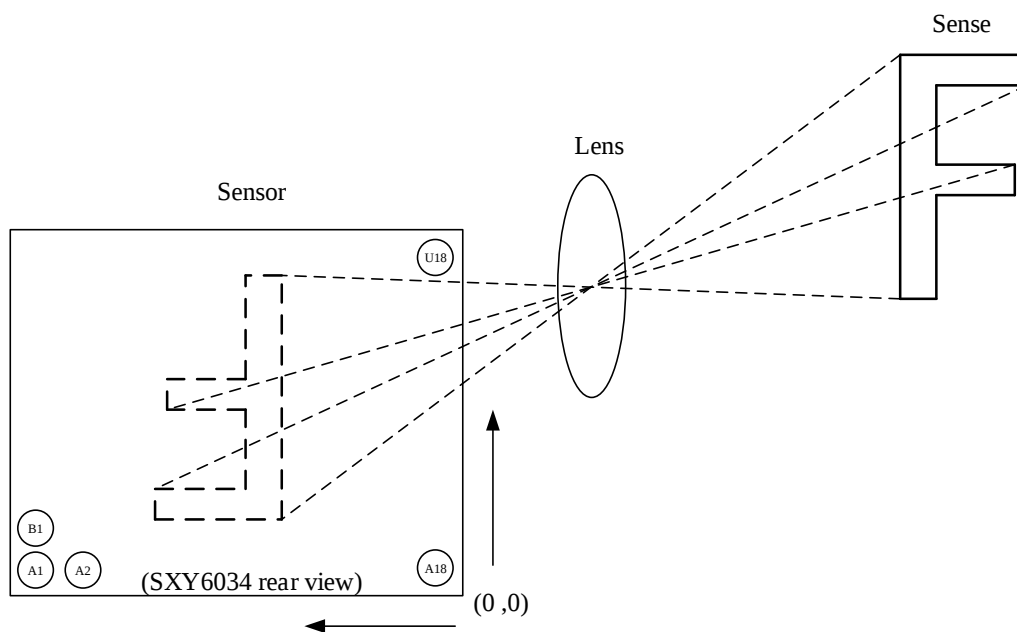


Figure 8 光学成像示意图

在应用的 PCB 上成正像的摆放示意图 Figure 9。

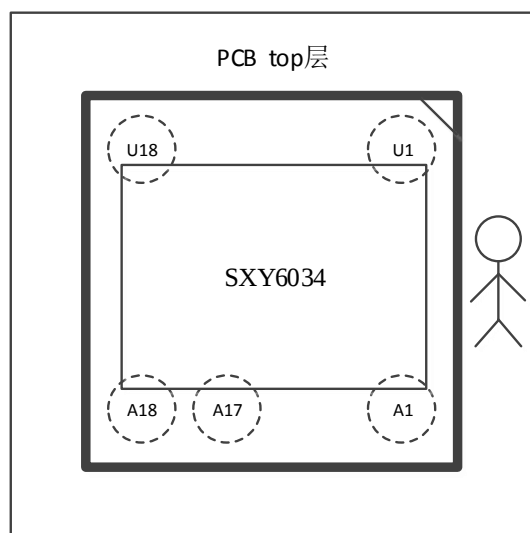


Figure 9 成正像的摆放示意

镜像功能

SXY6034 内部实现的图像的水平镜像和垂直镜像功能。具体的镜像对应见 Figure 10。

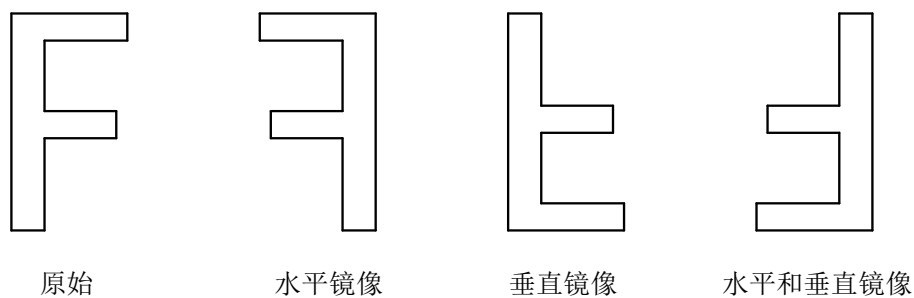


Figure 10 镜像功能示意

镜像功能对应的寄存器为 0x0020 的低两位：请注意不要随意变更该寄存器的其他数据位的数值。该寄存器有影子寄存器，需要向 0x001d 寄存器中写入 0x02 进行更新操作。

Table 5 镜像控制寄存器

寄存器名	地址	位宽	功能
读出控制	0x0020	8	Bit[7:2] Reserved Bit[1] 水平镜像控制 Bit[0] 垂直镜像控制

调节幅面与帧率

像素阵列排布

SXY6034 的有效像素阵列大小为 2896H x 2176V，具体的排布情况请见 Figure 11。其中（0，0）像素的位置与《成像方向》所述的（0，0）像素一节对应。

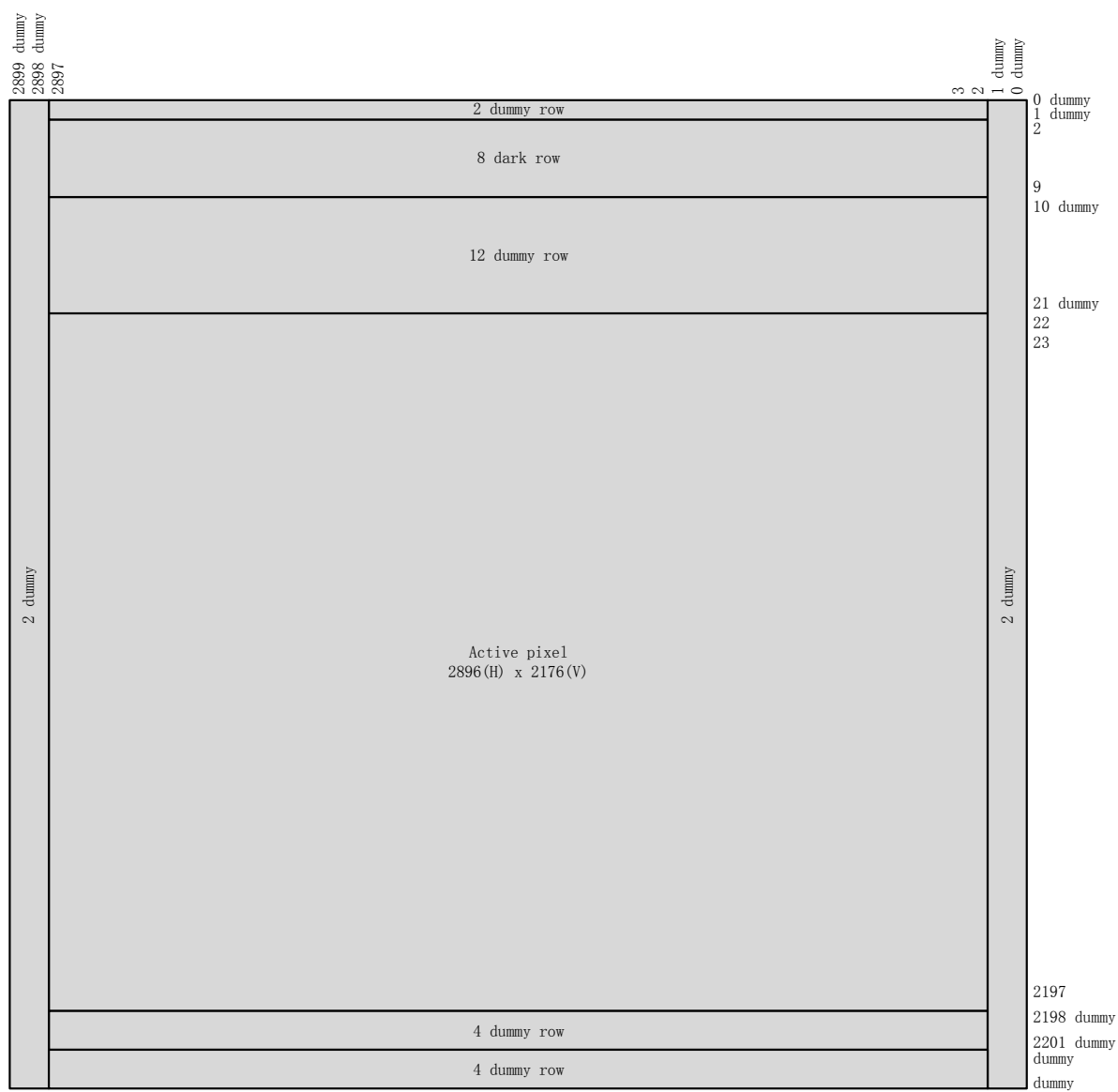


Figure 11 像素阵列排布示意图

时钟的计算

时钟的定义

Table 6 时钟定义

名称	符号	描述	计算办法
外部输入时钟	Clkin	芯片外部接入时钟	-
系统主时钟	Mclk	芯片内部运行主时钟	见《系统主时钟控制》章节
像素输出时钟	Pclk	芯片输出像素时钟	见《PLL 控制》章节

PLL 控制

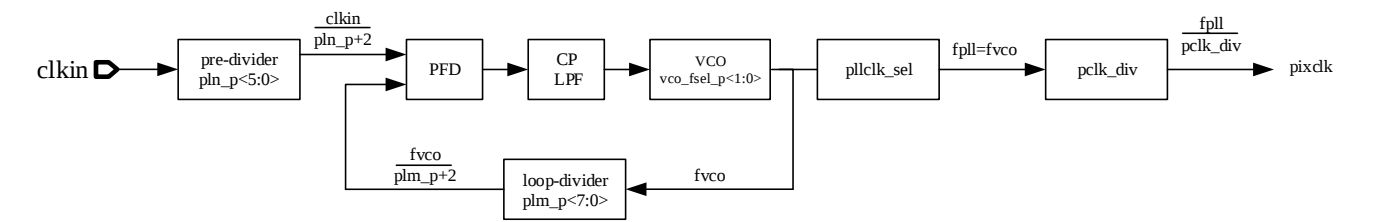


Figure 12 PLL 框图

输出 Pclk 与 clkin 的频率对应关系为：

$$f_{pclk} = \frac{(plm + 2) * f_{clkin}}{(pln + 2)} * \frac{1}{pclk_div}$$

PLL 对应的控制寄存器如 Table 7 所示。

Table 7 PLL 控制寄存器

寄存器名	地址	位宽	功能
PLM	0x0033	8	Plm
PLN	0x0034	6	Pln
PLLCTRL_P	0x0030	6	Bit[5:4]: vco_freq_sel Bit[3:0]: Reserved
READC2	0x001e	8	Bit[7:3]: Reserved Bit[2]: hbin_div Bit[1:0]: Reserved
IO_CTRL	0x00e3	2	Bit[1]: Reserved Bit[0]: mipi_lvds_sel 1'b0-LVDS 1'b1-MIPI
MIPI_FORMAT_CTRL	0x0301	4	Bit[3:2]: mipi_lane_ctrl 2'b00-2 lane 2'b01-4 lane 2'b1x-8 lane Bit[1:0]: mipi_data_format 2'b00-RAW8 2'b01-RAW10 2'b1x-RAW12
LVDS_MODE	0x06d0	7	Bit[6]: Reserved Bit[5:4]: lvds_lane_ctrl 2'b00-2 lane 2'b01-4 lane 2'b10-6 lane 2'b11-8 lane Bit[3:2]: lvds_raw_type

			2'b00-RAW8 2'b01-RAW10 2'b1x-RAW12 Bit[1:0]: Reserved
--	--	--	--

pclk_div 与控制寄存器关系如 Table 8 和 Table 9 所示：

Table 8 LVDS 模式 pclk_div 与控制寄存器关系

LVDS Mode, mipi_lvds_sel=0			
hbin_div[0]	lvds_raw_type[1:0]	lvds_lane_ctrl [1:0]	pclk_div
0	0	0	2
		1	1
		3	0.5
	1	0	2.5
		1	1.25
		3	
	2/3	0	3
		1	1.5
		2	1
		3	0.75
1	0	0	1
		1	
		3	0.5
	1	0	1.25
		1	
		3	
	2/3	0	1.5
		1	0.75
		2	1
		3	0.75

Table 9 MIPI 模式 pclk_div 与控制寄存器关系

MIPI Mode, mipi_lvds_sel=1			
hbin_div[0]	mipi_data_format[1:0]	mipi_lane_ctrl [1:0]	pclk_div
0	0	0	1
		1	
		2/3	
	1	0	1.25
		1	
		2/3	
	2/3	0	1.5
		1	
		2/3	0.75
1	0	0	1

		1	
		2/3	
	1	0	1.25
		1	
		2/3	
	2/3	0	0.75
		1	
		2/3	

当调节 vco 振荡频率时，需要设置 PLLCTRL_P 中的 vco_freq_sel。vco 频率的计算公式为：

$$F_{vco} = F_{clkin} * (plm_p + 2)/(pln_p + 2)$$

根据 Table 10 来设置 vco_freq_sel。

Table 10 PLL VCO 频率设置对应表

vco_freq_sel<1:0>	vco 频率范围
00 B	84M ~ 335M
01 B	110M ~ 406M
10 B	213M ~ 571M
11 B	270M ~ 711M

系统主时钟控制

Mclk（系统主时钟）可选为 Clkin(外部输入时钟)，或 Pclk(像素输出时钟)的倍频。

Table 11 系统主时钟控制

寄存器名	地址	位宽	功能
MCLK_CTRL	0x0017	8	Bit[7:4] mclkc Bit[1] reserved Bit[0] mclk 选择: 1: 使 mclk 等于 clkin 0: 使 mclk 等于 pclk 的分频，即 Fmclk = Fpclk/(mclkc+1)。F 表示对应时钟的频率。

调整幅面

SXY6034 有最多 8 个水平方向 ROI 和最多 8 个垂直方向 ROI。每个水平方向 ROI 可分别使能并有独立的 HSTART（水平开始）和 HSIZE（宽度），每个垂直方向 ROI 可分别使能并有独立的 VSTART（垂直开始）和 VSIZE（高度）。所有 ROI 均使能时，可组成 64 个矩形 ROI，如 Figure 13 所示。

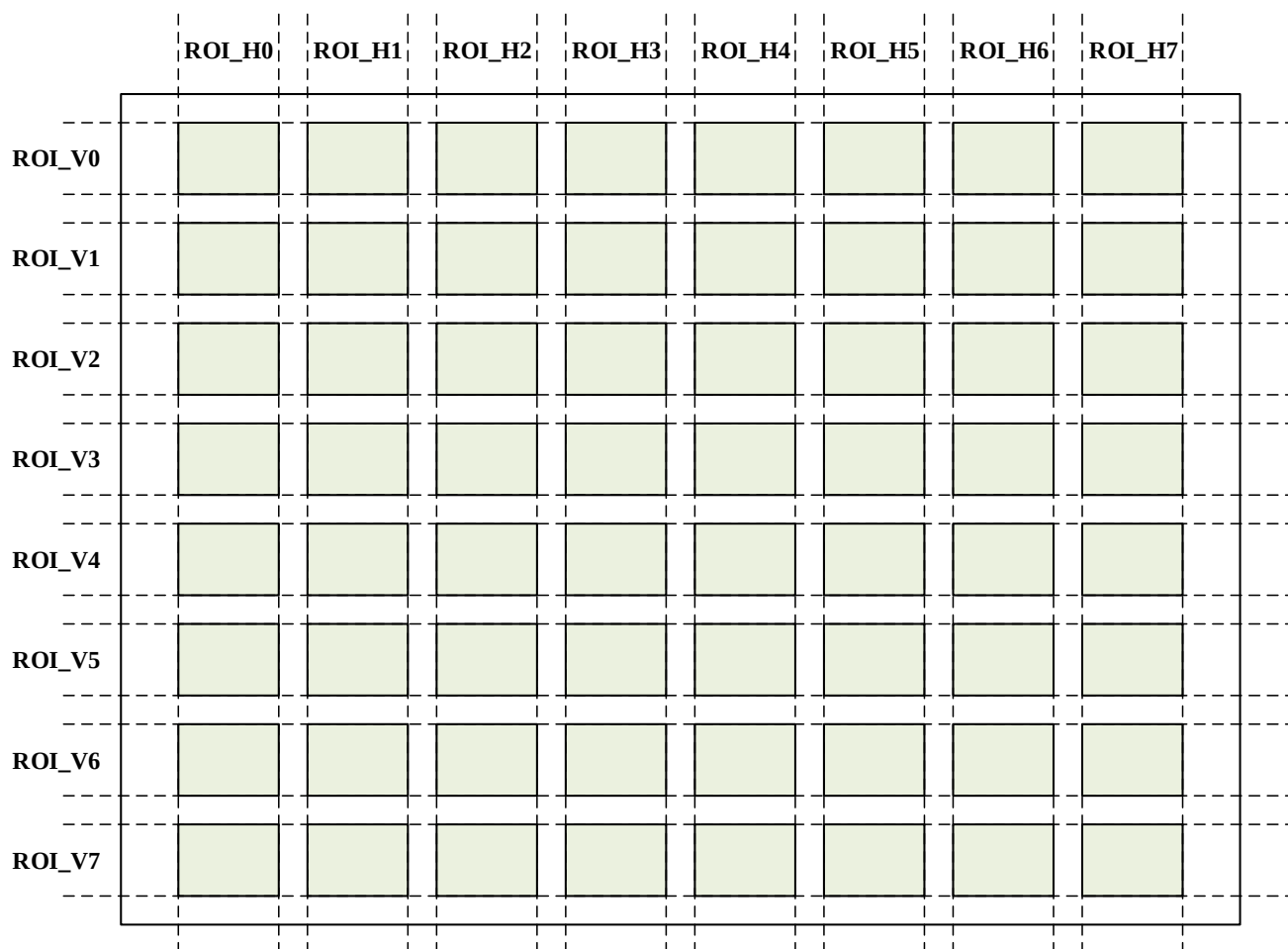


Figure 13 ROI 功能

矩形 ROI 数量大于 1 时，HSTART、HSIZE、VSTART 和 VSIZE 必须设置为偶数，仅 1 个矩形 ROI 使能时可设置为奇数。所有矩形 ROI 相互拼接得到 1 帧图像后输出，以 Figure 14 为例，水平方向使能 ROIH0 和 ROIH2，垂直方向使能 ROIV1 和 ROIV4，得到 4 个矩形 ROI 区域，拼接成 1 帧图像输出。

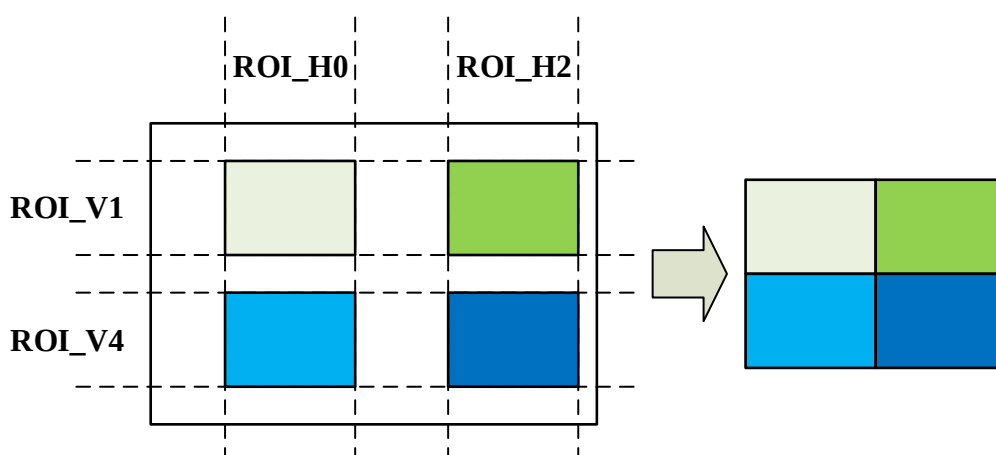


Figure 14 多个 ROI 区域拼接输出

WINDOW 寄存器共 16 位，每位对应 183 或 181 列读出电路；当该位为 1 时，对应的 183 或 181 列读出电路使能，当该位为 0 时，对应的读出电路关闭。如果开启窗选功能，那么实际的输出水平宽度大小为所有使能列数之和，寄存器的地址见 Table 12。默认只使能 ROIH0 和 ROIV0，HSIZE 的默认值为 0xb40，VSIZE 的默认值为 0x870，默认输出的图像大小为 2880x2160。HSIZE, VSIZE, HSTART, VSTART 和 WINDOW 调整后需要向 0x001d 写 0x02 才会生效。

Table 12 控制输出幅面寄存器

寄存器名	地址	位宽	功能
ROIH_CTRL	0x3000	8	水平方向 ROI 使能控制 Bit[7]: 0-关闭 ROIH7; 1-使能 ROIH7 Bit[6]: 0-关闭 ROIH6; 1-使能 ROIH6 Bit[5]: 0-关闭 ROIH5; 1-使能 ROIH5 Bit[4]: 0-关闭 ROIH4; 1-使能 ROIH4 Bit[3]: 0-关闭 ROIH3; 1-使能 ROIH3 Bit[2]: 0-关闭 ROIH2; 1-使能 ROIH2 Bit[1]: 0-关闭 ROIH1; 1-使能 ROIH1 Bit[0]: 0-关闭 ROIH0; 1-使能 ROIH0
ROIV_CTRL	0x3001	8	垂直方向 ROI 使能控制 Bit[7]: 0-关闭 ROIV7; 1-使能 ROIV7 Bit[6]: 0-关闭 ROIV6; 1-使能 ROIV6 Bit[5]: 0-关闭 ROIV5; 1-使能 ROIV5 Bit[4]: 0-关闭 ROIV4; 1-使能 ROIV4 Bit[3]: 0-关闭 ROIV3; 1-使能 ROIV3 Bit[2]: 0-关闭 ROIV2; 1-使能 ROIV2 Bit[1]: 0-关闭 ROIV1; 1-使能 ROIV1 Bit[0]: 0-关闭 ROIV0; 1-使能 ROIV0
HSTART	0x0002, 0x0003	12	ROIH0 水平开始位置
VSTART	0x0004, 0x0005	12	ROIV0 垂直开始位置
HSIZE	0x0006, 0x0007	12	ROIH0 水平尺寸
VSIZ	0x0008, 0x0009	12	ROIV0 垂直尺寸
HSTART_ROI1	0x3002, 0x3003	12	ROIH1 水平开始位置
VSTART_ROI1	0x3004, 0x3005	12	ROIV1 垂直开始位置
HSIZE_ROI1	0x3006, 0x3007	12	ROIH1 水平尺寸
VSIZ_ROI1	0x3008, 0x3009	12	ROIV1 垂直尺寸
HSTART_ROI2	0x300a, 0x300b	12	ROIH2 水平开始位置
VSTART_ROI2	0x300c, 0x300d	12	ROIV2 垂直开始位置
HSIZE_ROI2	0x300e, 0x300f	12	ROIH2 水平尺寸
VSIZ_ROI2	0x3010, 0x3011	12	ROIV2 垂直尺寸
HSTART_ROI3	0x3012, 0x3013	12	ROIH3 水平开始位置
VSTART_ROI3	0x3014, 0x3015	12	ROIV3 垂直开始位置
HSIZE_ROI3	0x3016, 0x3017	12	ROIH3 水平尺寸
VSIZ_ROI3	0x3018, 0x3019	12	ROIV3 垂直尺寸
HSTART_ROI4	0x301a, 0x301b	12	ROIH4 水平开始位置
VSTART_ROI4	0x301c, 0x301d	12	ROIV4 垂直开始位置
HSIZE_ROI4	0x301e, 0x301f	12	ROIH4 水平尺寸
VSIZ_ROI4	0x3020, 0x3021	12	ROIV4 垂直尺寸
HSTART_ROI5	0x3022, 0x3023	12	ROIH5 水平开始位置
VSTART_ROI5	0x3024, 0x3025	12	ROIV5 垂直开始位置
HSIZE_ROI5	0x3026, 0x3027	12	ROIH5 水平尺寸
VSIZ_ROI5	0x3028, 0x3029	12	ROIV5 垂直尺寸
HSTART_ROI6	0x302a, 0x302b	12	ROIH6 水平开始位置

VSTART_ROI6	0x302c, 0x302d	12	ROI6 垂直开始位置
HSIZE_ROI6	0x302e, 0x302f	12	ROI6 水平尺寸
VSIZE_ROI6	0x3030, 0x3031	12	ROI6 垂直尺寸
HSTART_ROI7	0x3032, 0x3033	12	ROI7 水平开始位置
VSTART_ROI7	0x3034, 0x3035	12	ROI7 垂直开始位置
HSIZE_ROI7	0x3036, 0x3037	12	ROI7 水平尺寸
VSIZE_ROI7	0x3038, 0x3039	12	ROI7 垂直尺寸
WINDOW	0x00b9, 0x00ba	16	Bit[15]: 0-关闭 2717~2899 列; 1-使能 2717~2899 列 Bit[14]: 0-关闭 2536~2716 列; 1-使能 2536~2716 列 Bit[13]: 0-关闭 2355~2535 列; 1-使能 2355~2535 列 Bit[12]: 0-关闭 2174~2354 列; 1-使能 2174~2354 列 Bit[11]: 0-关闭 1993~2173 列; 1-使能 1993~2173 列 Bit[10]: 0-关闭 1812~1992 列; 1-使能 1812~1992 列 Bit[9]: 0-关闭 1631~1811 列; 1-使能 1631~1811 列 Bit[8]: 0-关闭 1450~1630 列; 1-使能 1450~1630 列 Bit[7]: 0-关闭 1269~1449 列; 1-使能 1269~1449 列 Bit[6]: 0-关闭 1088~1268 列; 1-使能 1088~1268 列 Bit[5]: 0-关闭 907~1087 列; 1-使能 907~1087 列 Bit[4]: 0-关闭 726~906 列; 1-使能 726~906 列 Bit[3]: 0-关闭 545~725 列; 1-使能 545~725 列 Bit[2]: 0-关闭 364~544 列; 1-使能 364~544 列 Bit[1]: 0-关闭 183~363 列; 1-使能 183~363 列 Bit[0]: 0-关闭 0~182 列; 1-使能 0~182 列

调整帧率

SXY6034 输出同步信号的波形 Figure 15。

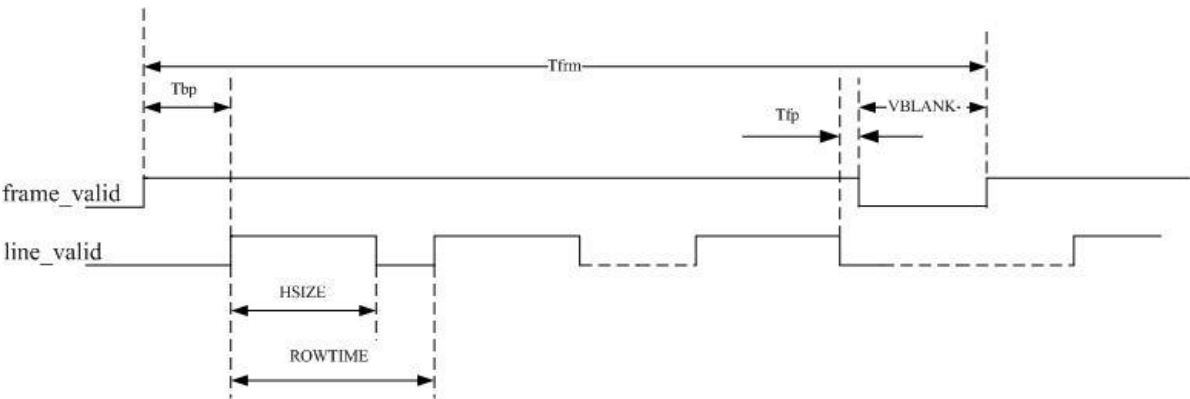


Figure 15 输出波形与帧率计算

在 Figure 15 中，Tfrm 为帧时间。Tbp 称为后廊，指帧同步信号有效后到第一行图像数据的时间间隔。Tfp 称为前廊，指最后一行有效数据输出完毕后到帧同步信号无效的时间间隔。TFRM 和 ROWTIME 为 SXY6034 的寄存器名称。他们的关系为：

$$T_{frm} = TFRM * ROWTIME * T_{mclk}$$

$$T_{bp} + T_{fp} = 6 * ROWTIME * T_{mclk}$$

$$VBLANK = (TFRM - VSIZE - 6) * ROWTIME * T_{mclk}$$

这里的 HSIZE 和 VSIZE 都是指实际输出图像的大小。

决定 SXY6034 输出帧率的寄存器为 ROWTIME（行时间）和 TFRM，这些寄存器的地址见 Table 13。

Table 13 帧率控制寄存器

寄存器名	地址	位宽	功能
ROWTIME	0x000e, 0x000f	16	以主输入内部主时钟为单位的行时间控制寄存器。
TFRM	0x0010, 0x0011	16	以行时间为单位的，帧时间控制寄存器。

ROWTIME 的默认值为 0x0600（10 进制为 1536），TFRM 的默认值为 0x08ca，按照上面计算公式，得到帧时间为：

$$T_{frm} = 2250 * 1536 * T_{mclk}$$

ROWTIME 和 TFRM 寄存器调整后需要往 0x001d 写入 0x02 才会生效。

调节曝光与增益

外部触发控制

BGSXY6034 的外部触发由 EXTRIG 管脚信号进行控制，芯片内部的触发模式控制寄存器如 Table 14 所示。

Table 14 触发模式控制寄存器

寄存器名	地址	位宽	功能
TRIGCTRL	0x0028	7	触发模式控制： Bit[6]: Reserved Bit[5]: 外部 EXTRIG 高电平控制曝光时间模式 Bit[4]: 控制 EXTRIG 的上升沿来之后是否立即输出数据的模式 Bit[3]: 一次 EXTRIG 触发单帧还是多帧的模式控制 0: 单帧 1: 多帧 Bit[2]: EXTRIG 是边沿有效还是电平有效控制 0: 边沿有效 1: 电平有效 Bit[1]: 外部触发使能控制信号 1: 外部触发 0: 内部触发 Bit[0]: Reserved

BGSXY6034 的外部触发模式有四种模式，如下所示：

1. 模式一：帧时间和曝光时间由芯片的寄存器控制，外部触发信号 EXTRIG 上升沿触发芯片开始工作（类似于内部触发模式寄存器 0x001d 设置成 0x01），此模式 TRIGCTRL 寄存器设置为 0x0a。
2. 模式二：外部触发信号 EXTRIG 的上升沿触发开始读出，同时在距 EXTRIG 上升沿后的 T_{frm} - T_{exp} 时间点触发下一帧开始曝光，这里的 T_{frm} 和 T_{exp} 由芯片内部的寄存器控制，此时的曝光时间和帧时间由 EXTRIG 的间距决定。此模式 TRIGCTRL 寄存器设置为 0x12。

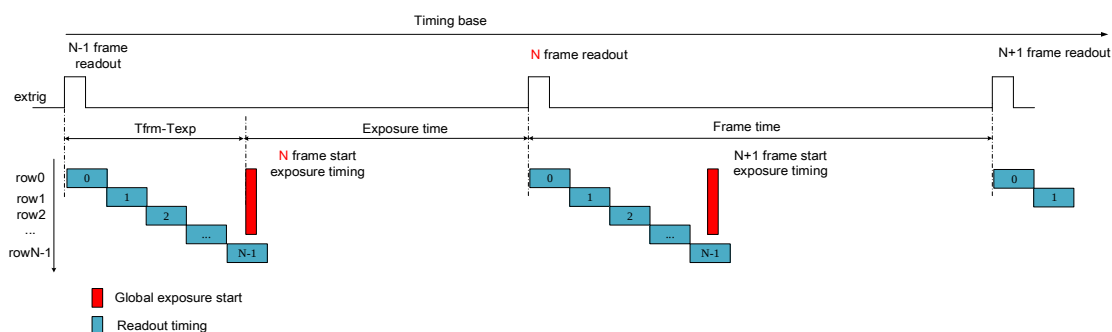


Figure 16 外部触发模式二

3. 模式三：外部触发信号 EXTRIG 控制图像的帧时间和曝光时间。EXTRIG 的高电平为曝光时间(EXTRIG 的上升沿触发开始曝光，EXTRIG 的下降沿触发开始读出)；EXTRIG 的间距控制帧时间。此模式 TRIGCTRL 寄存器设置为 0x22。

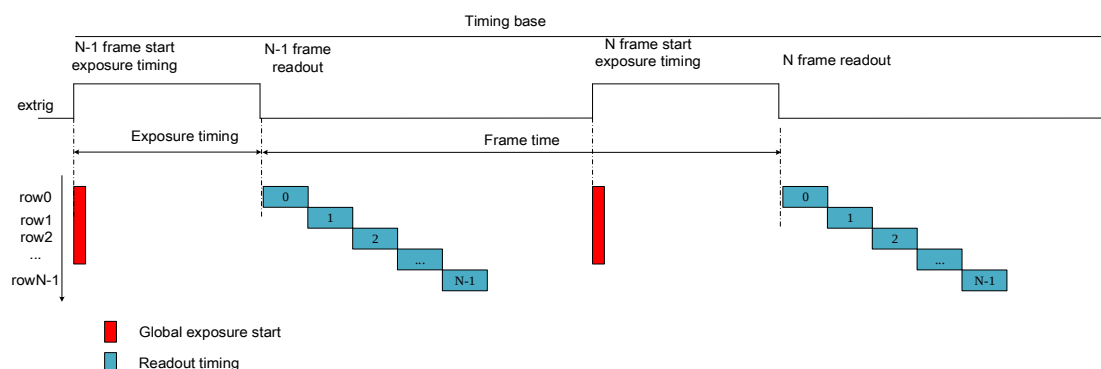


Figure 17 外部触发模式三

4. 模式四：电平触发，帧时间和曝光时间由芯片的寄存器控制，外部触发信号 EXTRIG 为高电平时触发，低电平停止。此模式 TRIGCTRL 寄存器设置为 0x06。

调节曝光

决定曝光时间的寄存器是 TEXP 和 TEXP_MCK 两个寄存器。其中 TEXP 以行时间为单位，TEXP_MCK 以输入主时钟周期为单位。曝光时间计算公式：

$$T_{exp} = (TEXP * ROWTIME + TEXP_MCK) * T_{mclk}$$

公式中出现的 ROWTIME 为寄存器名字，请参见“调整输出帧率”章。Texp 必须小于 Tfrm，否则无法输出图像。TEXP 和 TEXP_MCK 寄存器的地址见 Table 15。

Table 15 曝光控制寄存器

寄存器名	地址	位宽	功能
TEXP	0x000c 0x000d	16	以行为单位的曝光长度控制
TEXP_MCK	0x000a 0x000b	16	以主时钟为单位的曝光长度控制

TEXP 的默认值为 0x027c，TEXP_MCK 的默认值为 0x0000，按照上面计算公式，曝光时间为：

$$T_{exp} = (636 * 1536 + 10) * T_{mclk}$$

TEXP 和 TEXP_MCK 调整后需要往 0x001d 写入 0x02 才会生效。

调节增益

SXY6034 中有两级增益，第一级为模拟增益，第二级为数字增益。

其中 analog 增益的控制寄存器见 Table 16。

Table 16 ramp 增益控制寄存器

寄存器名	地址	位宽	功能
VREFH_CON	0x00b1	4	ramp 增益控制
VCMCOMP_CON	0x00b7	5	偏置电压调整
RMPGAIN_CTRL	0x00c4	7	ramp 增益档位

由以上寄存器控制的模拟增益为：

$$\text{Gain}_{\text{analog}} = \text{Gain}_{\text{rmp}} \cdot \frac{16}{V_{\text{h_con}} + 1}$$

其中，Gain_{rmp} 由 RMPGAIN_CTRL[2:0]寄存器设置，见 Table 17。

Table 17 RMPGAIN_CTRL[2:0]与 Gain_{rmp} 对应关系

RMPGAIN_CTRL[2:0]	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
Gain _{rmp}	0.8	1	2	4	8	12	14	16

优先使用 RMPGAIN_SEL 调节增益，然后剩余增益部分由 VH_CON 调节。

数字增益的控制寄存器见 Table 18。

Table 18 数字增益控制寄存器

寄存器名	地址	位宽	功能
DGAIN	0x00c0, 0x00c1	13	数字增益控制，SDR 单帧或 HDR 长帧
DGAIN_S	0x00c2 0x00c3	13	数字增益控制，HDR 短帧

数字增益的控制寄存器为 DGAIN 和 DGAIN_S, 其中 0x0200 为 1 倍数字增益，即：

$$\text{Gain}_{\text{digital}} = \text{Dig_Gain} / 512.$$

综上，总增益为：

$$\text{Gain}_{\text{All}} = \text{Gain}_{\text{analog}} * \text{Gain}_{\text{digital}}$$

黑电平矫正

SXY6034 芯片内建了黑电平矫正模块。其基本原理是利用黑电平参考像素对有效像素进行黑电平矫正，用以消除电路，环境温度带来的黑电平漂移。

Table 19 BLC 控制寄存器

寄存器名	地址	位宽	功能
DBLC_CTRL	0x0120	2	Bit[1] Reserved Bit[0]: DBLC enable, 高有效。
DBLC_ACT_TAR	0x0121 0x0122	12	期望得到的最终图像的 target，无符号数。
DBLC_TH	0x0123 0x0124	15	收敛范围调整，无符号数。
DBLC_MAN_REFRESH	0x0125	1	刷新 DBLC

DBLC_CTRL 为 digital BLCC 功能的控制开关；

BLCC 的目标值由 DBLC_TAR 来调节，即 BLCC 操作完成后期望得到的黑电平；

DBLC_TH 用来调节算法的稳定范围，最终的收敛示意如 Figure 18 所示；

调整 target 时，dblc_man_refresh 写 1 才能及时生效，否则会在下次暗电平变化或调整前后 Target 相差较大时自动生效。

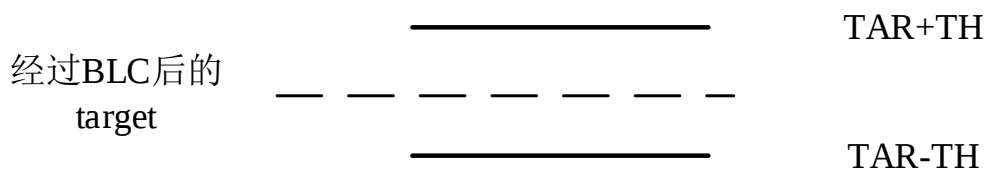


Figure 18 BLC 收敛示意

MIPI

- 支持 MIPI CSI-2 协议、D-PHY 协议编码。
- 支持 2/4/8 对 data lane，1 对 clock lane 差分传输。
- 支持 RAW8/RAW10/RAW12 数据格式。

Table 20 mipi 控制寄存器

寄存器名	地址	位宽	功能
MIPI_CTRL	0x0300	6	Bit[5:1]: Reserved Bit[0]: MIPI module enable, mipi 使能控制，1 为使能。
MIPI_FORM AT_CTRL	0x0301	4	Bit[3:2]: Data lane control, 0 表示 2 个数据通道，1 表示 4 个数据通道，2 或 3 表示 8 个数据通道 Bit[1:0]: Image data format control, 0 表示 RAW8, 1 表示 RAW10, 2/3 表示 RAW12
MIPI_SP_CTRL	0x0302	3	Bit[2]: Reserved Bit[1]: Frame number enable in frame start(or end)' WC, 1 表示 frame number 使能（在 0-0xffff 之间循环），0 表示 frame number 一直为 0 Bit[0]: Reserved
MIPI_DPHY_LANES_CTRL	0x0385	8	Bit[7]: Data lane 7 HS enable, 使用 8 个数据通道时必须设为 1。 Bit[6]: Data lane 6 HS enable, 使用 8 个数据通道时必须设为 1。 Bit[5]: Data lane 5 HS enable, 使用 8 个数据通道时必须设为 1。 Bit[4]: Data lane 4 HS enable, 使用 8 个数据通道时必须设为 1。 Bit[3]: Data lane 3 HS enable, 使用 4/8 个数据通道时必须设为 1。 Bit[2]: Data lane 2 HS enable, 使用 4/8 个数据通道时必须设为 1。 Bit[1]: Data lane 1 HS enable, 使用 2/4/8 个数据通道时必须设为 1。 Bit[0]: Data lane 0 HS enable, 使用 2/4/8 个数据通道时必须设为 1。
MIPI_PCLK_PERIOD	0x0389	8	Clock period used to calculate the mipi timing, 设置的值为 mipi clock lane 输出的时钟周期的 4 倍（如果有小数部分，直接舍弃）。

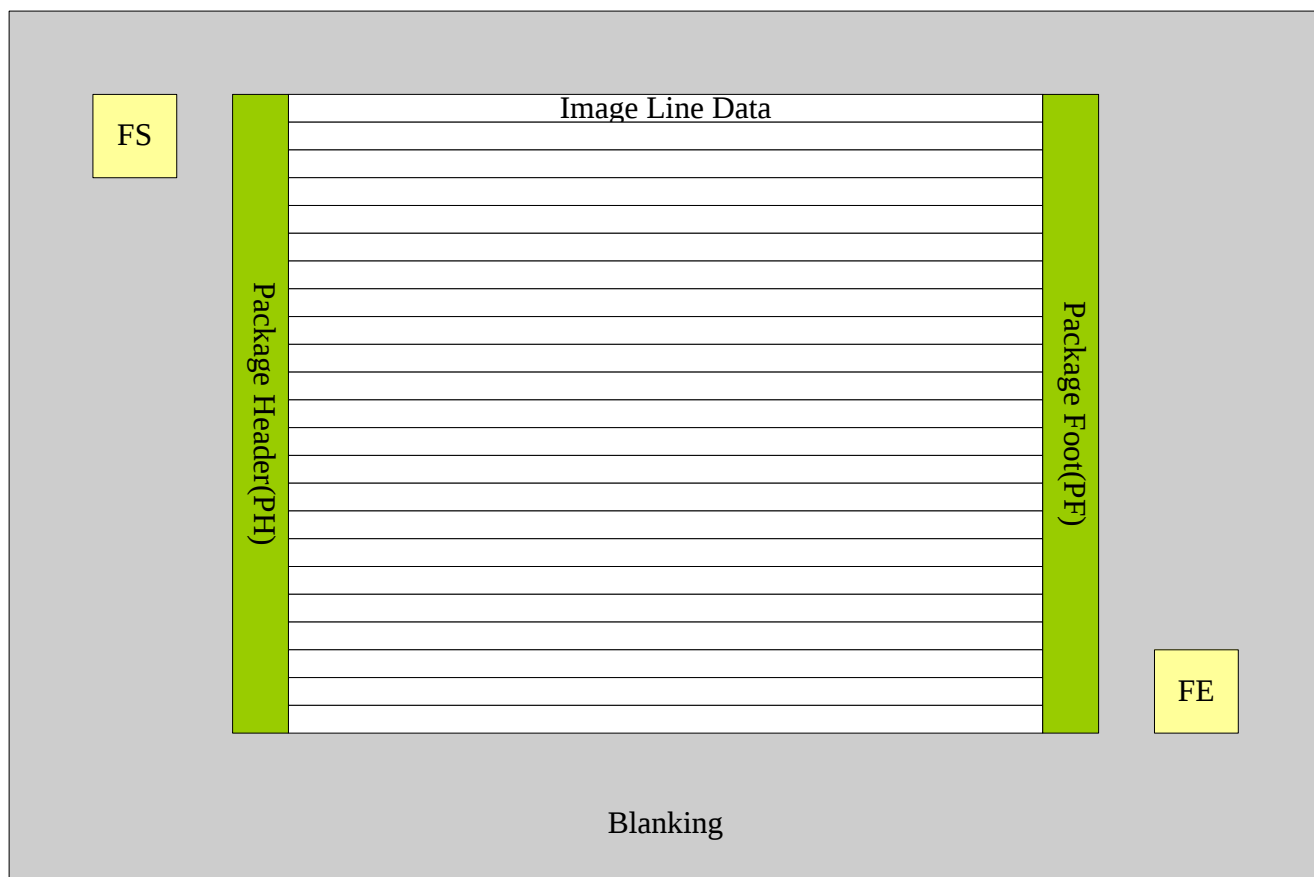


Figure 20 Mipi Frame Timing

MIPI dphy 的工作示意图见 Figure 21 和 Figure 22。

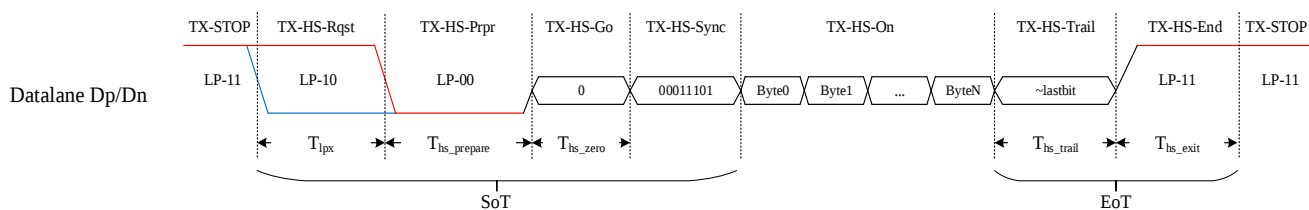


Figure 21 Data lane High-speed 传输过程

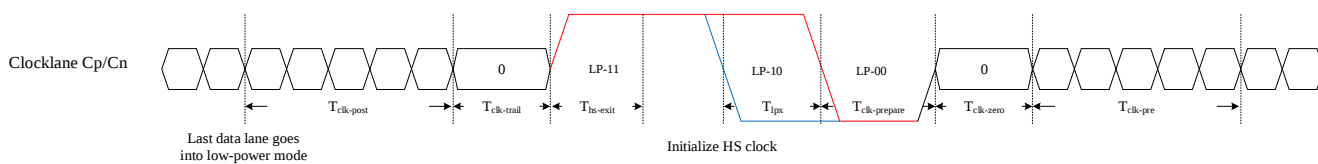


Figure 22 Clock lane High-speed 时钟停止和恢复过程

LVDS

- 支持 BT656 协议编码。
- 支持 2/4/8 对 RAW8/RAW10/RAW12，以及 6 对 RAW12 DDR 模式串行 LVDS 传输。

同步码传输方式见 Figure 23，图中 H 表示同步码，P 表示像素。可以选择每个像素的高位先出或低位先出，见 Figure 24 和 Figure 25。

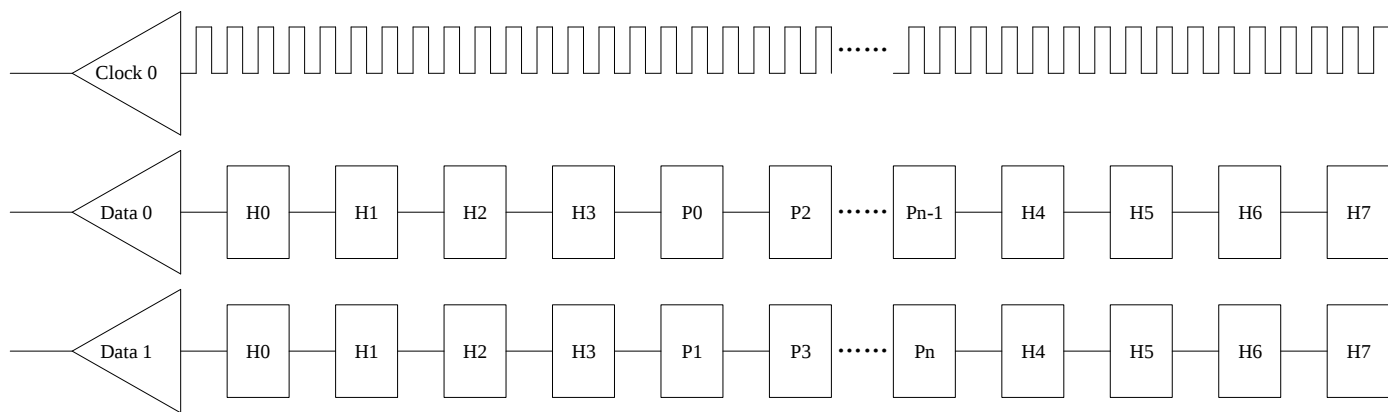


Figure 23 同步码传输方式示意图（2 data lane）

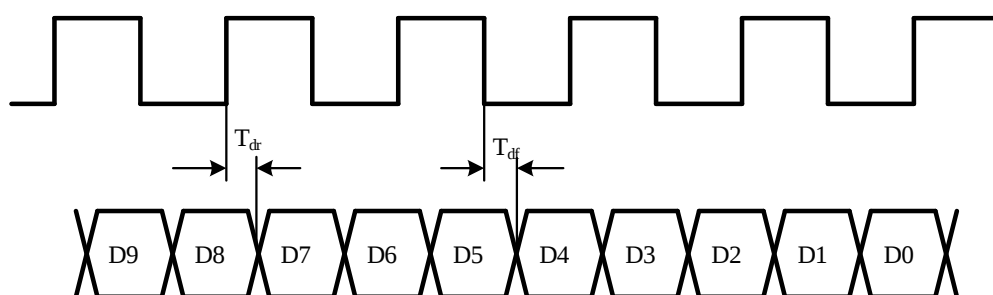


Figure 24 LVDS 单个像素 MSB 传输方式（RAW10）

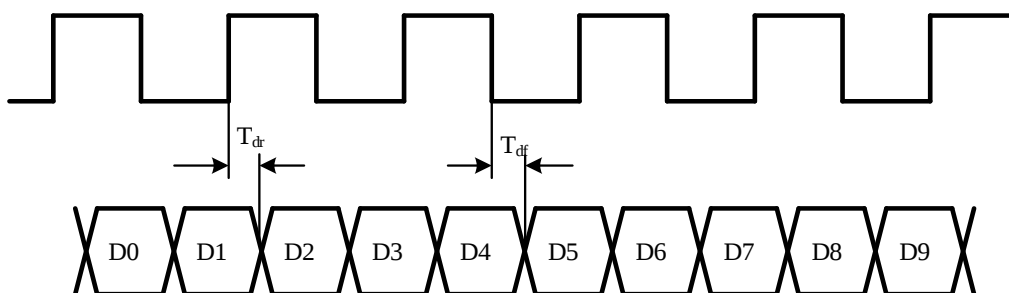


Figure 25 LVDS 单个像素 LSB 传输方式（RAW10）

Table 21 LVDS 时序参数

参数	描述	数值（ns）	
		Min	Max
T_{dr}	数据相对 lvds_clk 上升沿的延时	0	
T_{df}	数据相对 lvds_clk 下降沿的延时	0	

同步模式 0 见 Figure 26，每帧第一行的 SOL 被 SOF 代替，每帧最后一行的 EOL 被 EOF 代替。

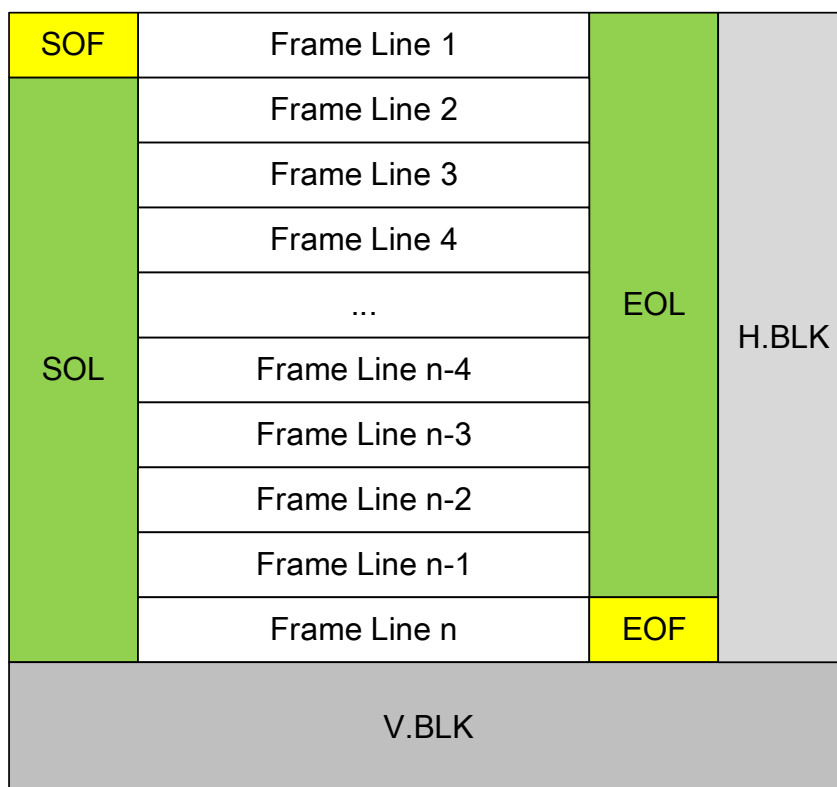


Figure 26 LVDS 同步模式 0 示意图

同步模式 1 见 Figure 27，每帧的 SOF 于第一行的 SOL 前单独发送，EOF 于最后一行的 EOL 后单独发送。

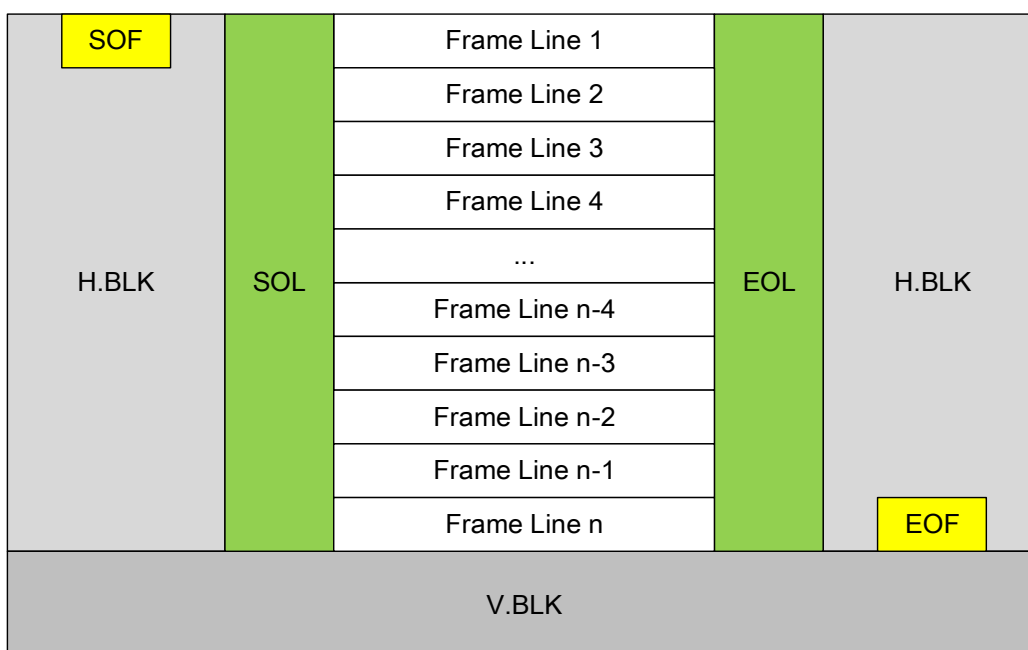


Figure 27 LVDS 同步模式 1 示意图

LVDS 同步码由 4 个码值组成，每个码值位宽与像素位宽相同，如 Table 22 所示。

Table 22 LVDS 同步码

Sync code	Bit width	1 st code	2 nd code	3 rd code	4 th code
SOF_0	8	FFh	00h	00h	B6h
	10	3FFh	000h	000h	2D8h
	12	FFFh	000h	000h	B60h
EOF_0	8	FFh	00h	00h	80h

	10	3FFh	000h	000h	200h
	12	FFFh	000h	000h	800h
SOL_0	8	FFh	00h	00h	9Dh
	10	3FFh	000h	000h	274h
	12	FFFh	000h	000h	9D0h
EOL_0	8	FFh	00h	00h	ABh
	10	3FFh	000h	000h	2ACh
	12	FFFh	000h	000h	AB0h
SOF_1	8	FFh	00h	00h	F1h
	10	3FFh	000h	000h	3C4h
	12	FFFh	000h	000h	F10h
EOF_1	8	FFh	00h	00h	C7h
	10	3FFh	000h	000h	31Ch
	12	FFFh	000h	000h	C70h
SOL_1	8	FFh	00h	00h	DAh
	10	3FFh	000h	000h	368h
	12	FFFh	000h	000h	DA0h
EOL_1	8	FFh	00h	00h	ECh
	10	3FFh	000h	000h	3B0h
	12	FFFh	000h	000h	EC0h
SOF_2	8	FFh	00h	00h	B9h
	10	3FFh	000h	000h	2E4h
	12	FFFh	000h	000h	B90h
EOF_2	8	FFh	00h	00h	8Fh
	10	3FFh	000h	000h	23Ch
	12	FFFh	000h	000h	8F0h
SOL_2	8	FFh	00h	00h	92h
	10	3FFh	000h	000h	248h
	12	FFFh	000h	000h	920h
EOL_2	8	FFh	00h	00h	A4h
	10	3FFh	000h	000h	290h
	12	FFFh	000h	000h	A40h

Table 23 LVDS 控制寄存器

寄存器名	地址	位宽	功能
LVDS_MODE	0x06d0	7	Bit[6]: big_endian control 1: MSB mode 0: LSB mode Bit[5:4]: LVDS lane control 3: 8 lane 2: 6 lane 1: 4 lane 0: 2 lane Bit[3:2]: LVDS raw type control 2/3: RAW12 1: RAW10 0: RAW8 Bit[1]: Reserved Bit[0]: bt656 encode enable
IO_CTRL	0x00e3	2	Bit[1]: Reserved Bit[0]: mipi_lvds_sel 1: MIPI 0: LVDS

其他

数据相位调节

Table 24 调节 Pclk 的相位

寄存器名	地址	位宽	功能
CLKDLY_CTRL	0x00e4	8	Bit[7:4]: Clk-lane 的相位调节 Bit[3:0]: Reserved
DATADLY_CTRL0	0x00ea	8	Data-lane0/1 的相位调节
DATADLY_CTRL1	0x00eb	8	Data-lane2/3 的相位调节
DATADLY_CTRL2	0x00ec	8	Data-lane4/5 的相位调节
DATADLY_CTRL3	0x00ed	8	Data-lane6/7 的相位调节

量子效率曲线

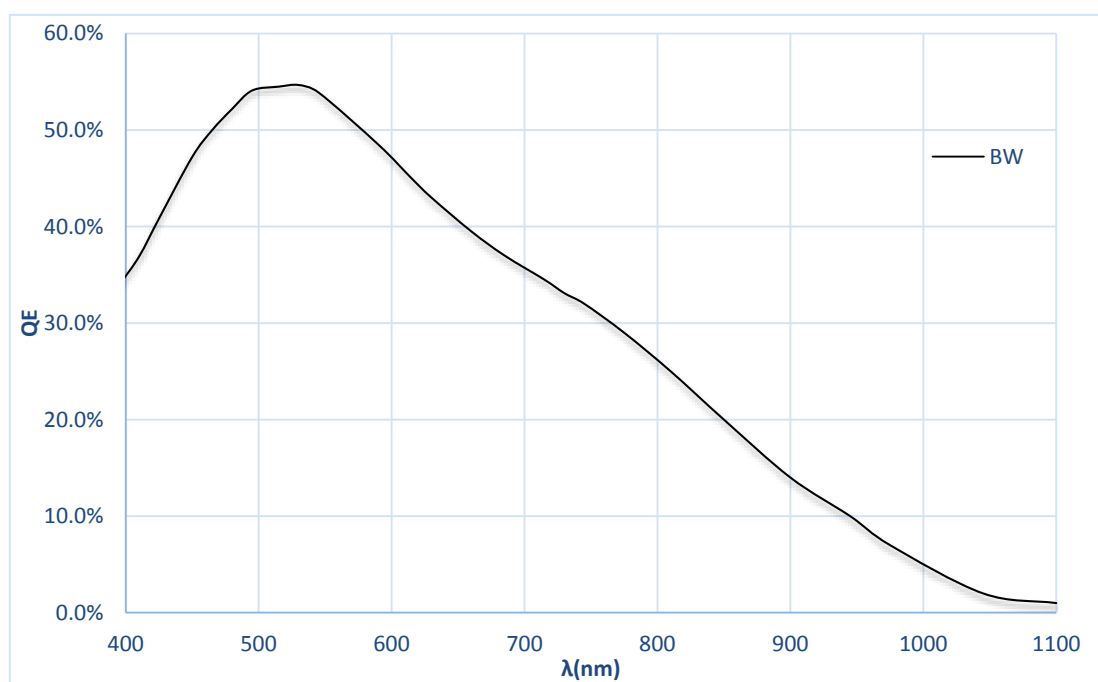


Figure 28 量子效率曲线图