

芯片使用注意事项

芯片包含多组电源，其中 VDDD、VDDIO、VDD 属于数字电源，VDDA、VDDPIX 属于模拟电源。GND 使用同一个地网络。

电源线和地线走线尽可能的宽（至少 0.2mm 以上），并且电源线走线尽可能的短，最大限度减小线路上的阻抗。模拟电源尽量避开数字电源及数字信号的区域，用 GND 将模拟电源部分和其他电路隔离开，减少模拟电源被其他信号干扰。各组电源有条件时尽量采用铺铜方式。

需要注意的信号线有 CLKIN、PCLK、CLKP/CLKN 等时钟信号，特别是 CLKIN，两侧需要地保护。电源线要远离时钟信号线。

MIPI 信号（CLKP/N、）要走差分线，差分阻抗 100R。P 和 N 走线最好是等长的，数据线间长度误差越小越好。不同组差分线之间距离至少达到线宽的两倍。

图像传感器是温度敏感器件，需要注意板上的热量分布，LDO 或 DC-DC、DSP 等芯片应该放置在离 sensor 较远的地方，以防温度较高的芯片影响 sensor 的图像信号质量。

SXY5200 1/1.8 inch 5M CMOS 图像传感器应用手册

简介

SXY5200 是 1/1.8 inch 5M 分辨率的 CMOS 图像传感器，最高帧率为 120fps。有效像素为 2560(H)×2048(V)，采用 BSI NIR 增强高性能像素，满足多种应用场景需求。

特点

- 低功耗设计
- 两级转换增益像素设计
- NIR 增强设计
- 最高支持 120fps 高速读出
- 量化精度可变 10bit /12bit
- HDR 最大动态范围超过 94 dB
- 支持 Skip mode sub sampling
- 支持 LFM（LED 闪烁抑制）
- 支持动态 DPC

应用

- 高端安防监控
- 车机 ADAS
- 机器视觉

关键参数

Table 1 关键参数

参数		典型值
光学尺寸		1/1.8 inch
有效像素阵列		2560(H)×2048(V)
像素大小		2.70um×2.70um
有效感光面积		6912um×5529.6um
最高帧率		120fps@full frame
光滤阵列		Bayer RGB
CRA		12°
曝光方式		Electronic Rolling
动态范围		94 dB
满阱电子数		32Ke-
读出噪声		0.58e-
灵敏度		29770e-/lux.s@ G channel
暗电流@60°C		254e-/s
信噪比		45 dB
输出接口		LVDS 4lane/6lane/8lane MIPI 1lane/2lane/4lane/8lane
功耗		180mW@1080p 25fps
结温范围		-40°C~80°C ^①
供电	Digital	1.2V
	IO	1.8V~2.5V
	Analog	2.8V
封装形式		CBGA 96

① 此温度为芯片温度,因此板机设计要注意散热设计

Table of Content

简介	2
特点	2
应用	2
关键参数.....	2
Table of Content.....	3
印刷电路板设计指导.....	6
封装图.....	6
管脚定义.....	6
应用电路图.....	9
供电设计.....	10
PCB 注意事项	10
寄存器控制总线.....	11
I2C 总线.....	11
影子寄存器更新.....	12
光学设计.....	12
成像方向.....	12
镜像功能.....	13
时钟的计算.....	13
时钟的定义.....	13
PLL 控制	14
系统主时钟控制.....	15
像素时钟控制.....	15
调节幅面与帧率.....	16
像素阵列排布.....	16
调整幅面.....	16
调整帧率.....	17
Test Pattern	18
外部触发控制.....	21
调节曝光与增益.....	22
调节曝光.....	22
调节增益.....	23
HDR	24
LED 闪烁抑制.....	24
黑电平校正.....	25
MIPI	26
LVDS	32
其他	37
芯片电源上电顺序.....	37
数据相位调节.....	37
量子效率曲线.....	38

List of Figures

Figure 1 封装图	6
Figure 2 Pin 脚分布图	7
Figure 3 推荐应用电路图	10
Figure 4 I2C 写操作	11
Figure 5 I2C 读操作	12
Figure 6 光学成像示意图	12
Figure 7 成正像的摆放示意	13
Figure 8 镜像功能示意	13
Figure 9 PLL 框图	14
Figure 10 像素阵列排布示意图	16
Figure 11 输出波形与帧率计算	17
Figure 12 Test pattern 固定值模式	18
Figure 13 Test pattern 水平递增模式, 无 clip	18
Figure 14 Test pattern 水平递增模式, 有 clip	19
Figure 15 Test pattern 垂直递增模式, 无 clip	19
Figure 16 Test pattern 垂直递增模式, 有 clip	19
Figure 17 Test pattern 斜向递增模式, 无 clip	20
Figure 18 Test pattern 斜向递增模式, 有 clip	20
Figure 19 外部触发模式二	22
Figure 20 外部触发模式三	22
Figure 21 LFM 曝光分割	25
Figure 22 BLC 收敛示意	26
Figure 23 raw10/raw12 数据输出顺序	27
Figure 24 Mipi Frame Timing	28
Figure 25 MIPI 1-Lane RAW10 数据分配方式	28
Figure 26 MIPI 1-Lane RAW12 数据分配方式	28
Figure 27 MIPI 2-Lane RAW10 数据分配方式	29
Figure 28 MIPI 2-Lane RAW12 数据分配方式	29
Figure 29 MIPI 4-Lane RAW10 数据分配方式	29
Figure 30 MIPI 4-Lane RAW12 数据分配方式	30
Figure 31 MIPI 8-Lane RAW10 数据分配方式	30
Figure 32 MIPI 8-Lane RAW12 数据分配方式	31
Figure 33 Data lane High-speed 传输过程	31
Figure 34 Clock lane High-speed 时钟停止和恢复过程	31
Figure 35 同步码传输方式示意图 (1 data lane)	32
Figure 36 LVDS 单个像素 MSB 传输方式 (RAW10)	32
Figure 37 LVDS 单个像素 LSB 传输方式 (RAW10)	32
Figure 38 LVDS 同步模式 0 示意图	33
Figure 39 LVDS 同步模式 1 示意图	33
Figure 40 LVDS 4-Lane 数据分配方式	34
Figure 41 LVDS 6-Lane 数据分配方式	35
Figure 42 LVDS 8-Lane 数据分配方式	36
Figure 43 芯片上电时序图	37
Figure 44 量子效率曲线	38

List of Tables

Table 1 关键参数.....	2
Table 2 管脚描述.....	7
Table 3 电源需求.....	10
Table 4 影子寄存器更新控制	12
Table 5 镜像控制寄存器.....	13
Table 6 时钟定义.....	13
Table 7 PLL 控制寄存器.....	14
Table 8 PLL VCO 频率设置对应表.....	14
Table 9 系统主时钟控制	15
Table 10 LVDS 输出模式下的 pixclk_div.....	15
Table 11 MIPI 输出模式下的 pixclk_div.....	15
Table 12 控制输出幅面寄存器	16
Table 13 帧率控制寄存器.....	18
Table 14 Test pattern 相关寄存器	20
Table 15 触发模式控制寄存器	21
Table 16 曝光控制寄存器.....	23
Table 17 ramp 增益控制寄存器.....	23
Table 18 RMPGAIN_CTRL[2:0]与 Gain _{rmp} 对应关系	23
Table 19 数字增益控制寄存器	23
Table 20 HDR 控制寄存器	24
Table 21 HDR 组合模式	24
Table 22 LFM 相关寄存器.....	24
Table 23 BLC 控制寄存器	25
Table 24 mipi 控制寄存器.....	26
Table 25 LVDS 时序参数.....	32
Table 26 LVDS 同步码.....	33
Table 27 LVDS 控制寄存器.....	36
Table 28 调节 Pclk 的相位.....	37

印刷电路板设计指导

本章节用来介绍印刷电路板的设计规则。

封装图

Figure 1 为 SXY5200 封装图。其中定义了具体的机械尺寸以及光学中心。以芯片中心做参照，光学中心为 (0, 0)，具体请参照 Top View 图。

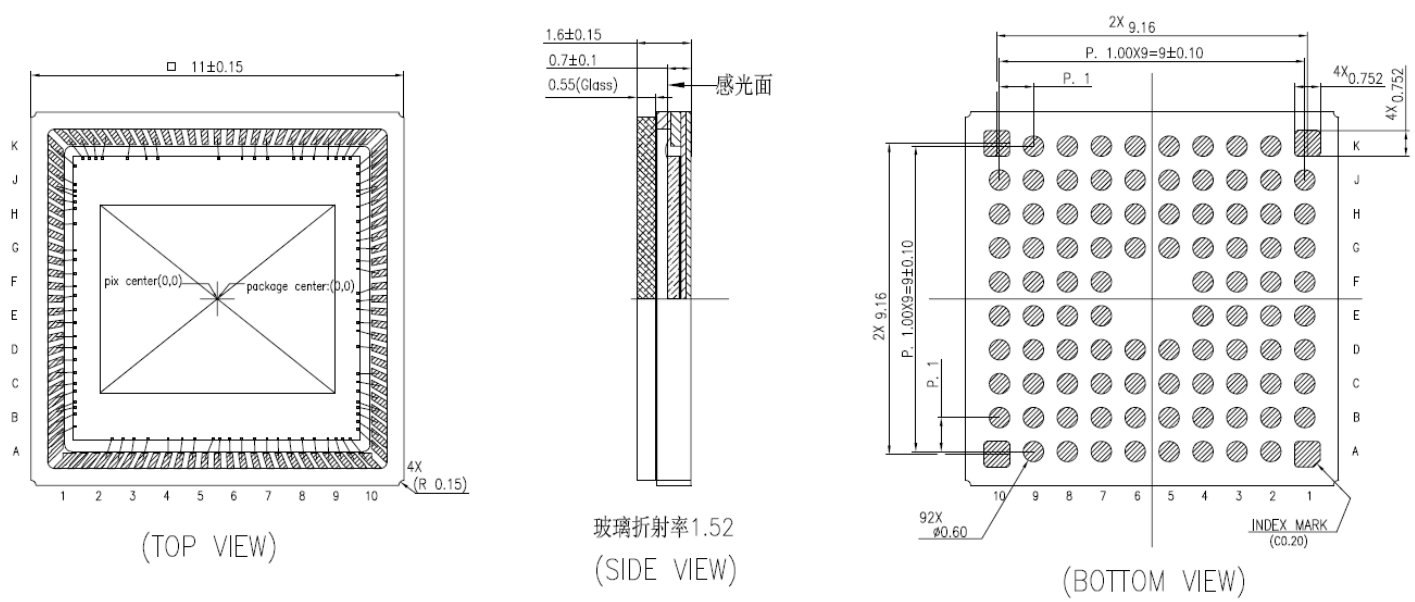
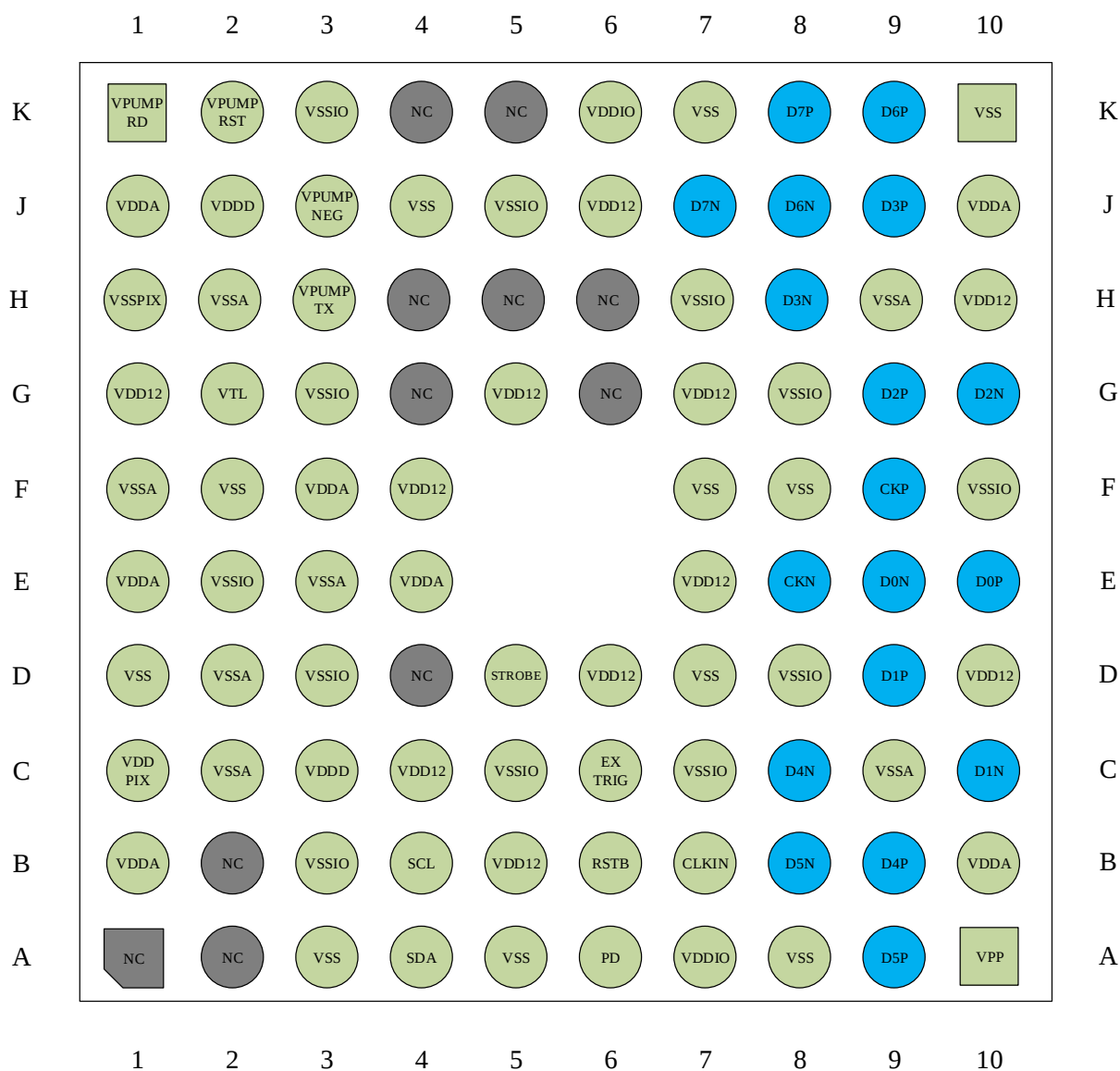


Figure 1 封装图

管脚定义

Figure 2 为 Top View 下的 Pin 脚分布图。可以与 Figure 1 进行参照。Table 2 为 Pin 脚的具体说明。



Top View

Figure 2 Pin 脚分布图

Table 2 管脚描述

PIN NO.	NAME	I/O	TYPE	DESCRIPTION
A1	NC	-	-	Not Connected
A2	NC	-	-	Not Connected
A3	VSS	-	G	Digital ground
A4	SDA	I/O	D	I2C Data
A5	VSS	-	P	Digital ground
A6	PD	I	D	Chip power down, active high
A7	VDDIO	-	P	IO power
A8	VSS	-	G	Digital ground
A9	D5P	O	D	Data 5 P port in LVDS/MIPI mode
A10	VPP	-	P	OTP power 1.2V
B1	VDDA	-	P	2.8V analog power
B2	NC	-	-	Not connected

B3	VSSIO	-	G	Digital ground
B4	SCL	I/O	D	I2C clock
B5	VDD12	-	P	1.2V digital power
B6	RSTB	I	D	Chip reset, active low
B7	CLKIN	I	D	Clock input
B8	D5N	O	D	Data 5 N port in LVDS/MIPI mode
B9	D4P	O	D	Data 4 P port in LVDS/MIPI mode
B10	VDDA	-	P	2.8V analog power
C1	VDD_PIX	-	P	Pixel power
C2	VSSA	-	G	Analog ground
C3	VDDD	-	P	2.8V digital power
C4	VDD12	-	P	1.2V digital power
C5	VSSIO	-	G	Digital ground
C6	EX_TRIG	I	D	external trigger
C7	VSSIO	-	G	Digital ground
C8	D4N	O	D	Data 4 N port in LVDS/MIPI mode
C9	VSSA	-	G	Analog ground
C10	D1N	O	D	Data 1 N port in LVDS/MIPI mode
D1	VSS	-	G	Digital ground
D2	VSSA	-	G	Analog ground
D3	VSSIO	-	G	Digital ground
D4	NC	-	-	Not Connected
D5	STROBE	O	D	light source sync signal
D6	VDD12	-	P	1.2V digital power
D7	VSS	-	G	Digital ground
D8	VSSIO	-	G	Digital ground
D9	D1P	O	D	Data 1 P port in LVDS/MIPI mode
D10	VDD12	-	P	1.2V digital power
E1	VDDA	-	P	2.8V analog power
E2	VSSIO	-	G	Digital ground
E3	VSSA	-	G	Analog ground
E4	VDDA	-	P	2.8V analog power
E7	VDD12	-	P	1.2V digital power
E8	CKN	O	D	clock N port in LVDS/MIPI mode
E9	D0N	O	D	Data 0 N port in LVDS/MIPI mode
E10	D0P	O	D	Data 0 P port in LVDS/MIPI mode
F1	VSSA	-	G	Analog ground
F2	VSS	-	G	Digital ground
F3	VDDA	-	P	2.8V analog power
F4	VDD12	-	P	1.2V digital power
F7	VSS	-	G	Digital ground
F8	VSS	-	G	Digital ground
F9	CKP	O	D	clock P port in LVDS/MIPI mode
F10	VSSIO	-	G	Digital ground

G1	VDD12	-	P	1.2V digital power
G2	VTL	O	A	TX voltage for LOFIC
G3	VSSIO	-	G	Digital ground
G4	NC	-	-	Not Connected
G5	VDD12	-	P	1.2V digital power
G6	NC	-	-	Not Connected
G7	VDD12	-	P	1.2V digital power
G8	VSSIO	-	G	Digital ground
G9	D2P	O	D	Data 2 P port in LVDS/MIPI mode
G10	D2N	O	D	Data 2 N port in LVDS/MIPI mode
H1	VSSPIX	-	G	Pixel ground
H2	VSSA	-	G	Analog ground
H3	VPUMPTX	O	A	charge pump output for TX
H4	NC	-	-	Not Connected
H5	NC	-	-	Not Connected
H6	NC	-	-	Not Connected
H7	VSSIO	-	G	Digital ground
H8	D3N	O	D	Data 3 N port in LVDS/MIPI mode
H9	VSSA	-	G	Analog ground
H10	VDD12	-	P	1.2V digital power
J1	VDDA	-	P	2.8V analog power
J2	VDDD	-	P	2.8V digital power
J3	VPUMPNEG	O	A	NCP output
J4	VSS	-	G	Digital ground
J5	VSSIO	-	G	IO power
J6	VDD12	-	P	1.2V digital power
J7	D7N	O	D	Data 7 N port in LVDS/MIPI mode
J8	D6N	O	D	Data 6 N port in LVDS/MIPI mode
J9	D3P	O	D	Data 3 P port in LVDS/MIPI mode
J10	VDDA	-	P	2.8V analog power
K1	VPUMPRD	O	A	charge pump output for RSTD
K2	VPUMPRST	O	A	charge pump output for RST
K3	VSSIO	-	G	Digital ground
K4	NC	-	-	Not Connected
K5	NC	-	-	Not Connected
K6	VDDIO	-	P	IO power
K7	VSS	-	G	Digital ground
K8	D7P	O	D	Data 7 P port in LVDS/MIPI mode
K9	D6P	O	D	Data 6 P port in LVDS/MIPI mode
K10	VSS	-	G	Digital ground

(P=Power, G=Ground, D=Digital, A=Analog)

应用电路图

推荐应用电路图请见 Figure 3。

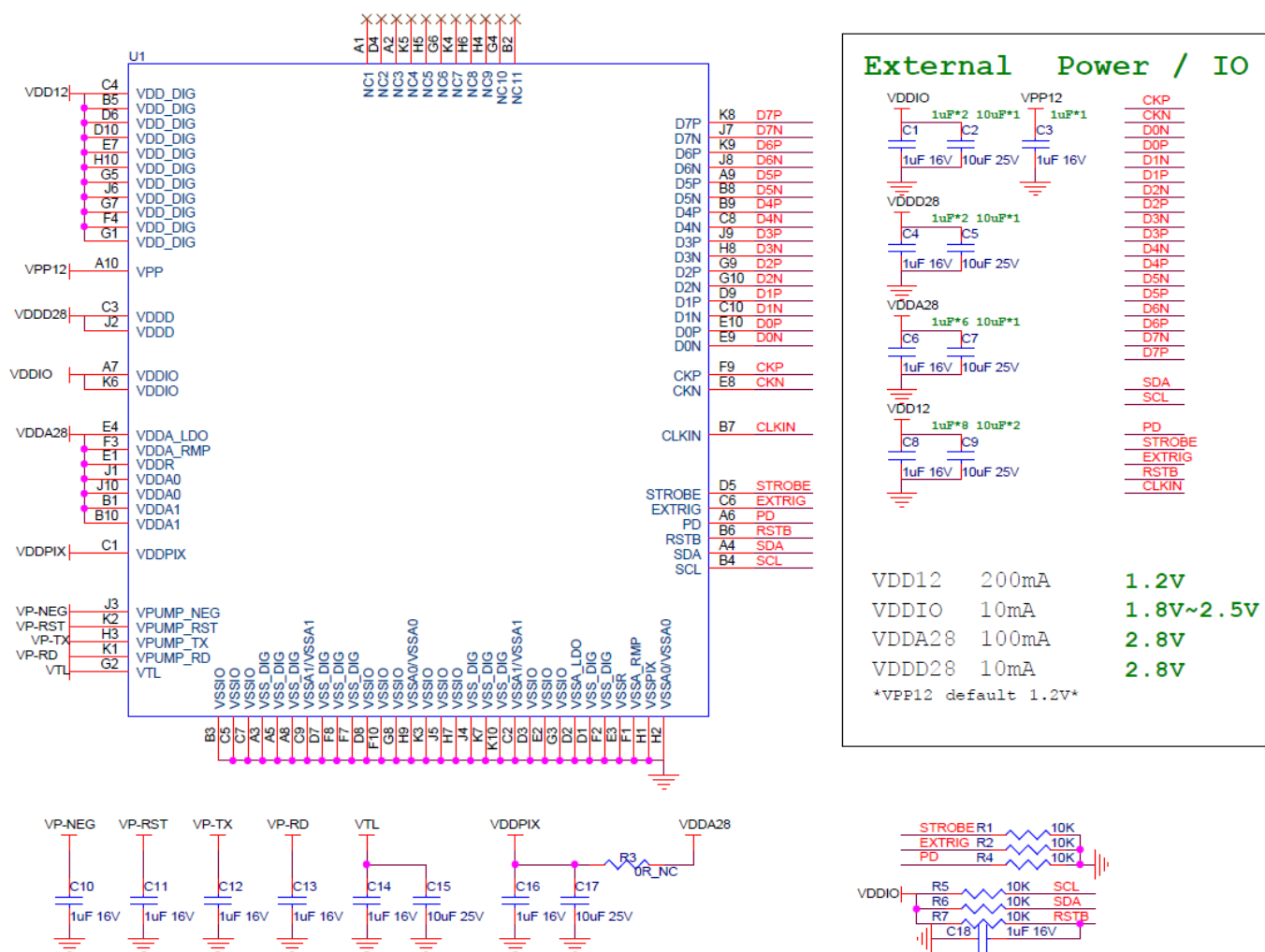


Figure 3 推荐应用电路图

供电设计

VDDIO 推荐使用 1.8V 供电，也可使用 2.5V 供电。

各组电源功耗与外接电容需求见 Table 3。

Table 3 电源需求

序号	电源	标准电压	消耗电流(上限)	外接电容需求
1	VDDD28	2.8V	10mA	1uF x 2_10uF x 1
2	VDD12	1.2V	200mA	1uF x 8_10uF x 2
3	VDDIO	1.8V/2.5V	10mA	1uF x 2_10uF x 1
4	VDDA	2.8V	100mA	1uF x 6_10uF x 1

注：0.1uF 的电容需要靠近 Pin 脚。每路电源需要至少一个 10uF/22uF 的大电容。10uF/22uF 电容放在 Sensor 周围即可。

PCB 注意事项

芯片包含多组电源，其中 VDDD、VDDIO、VDD 属于数字电源，VDDA、VDDPIX 属于模拟电源。GND 使用同一个地网络。

电源线和地线走线尽可能的宽（至少 0.2mm 以上），并且电源线走线尽可能的短，最大限度减小线路上的阻抗。模拟电源尽量避开数字电源及数字信号的区域，用 GND 将模拟电源部分和其他电路隔离开，减少模拟电源被其他信号干扰。各组电源有条件时尽量采用铺铜方式。

需要注意的信号线有 CLKIN、CLKP/CLKN 等时钟信号，特别是 CLKIN，两侧需要地保护。电源线要远离时钟信号线。

MIPI 信号（CLKP/N、D0P/N~D7P/N）要走差分线，差分阻抗 100R。P 和 N 走线最好是等长的，数据线间长度误差越小越好。不同组差分线之间距离至少达到线宽的两倍。

图像传感器是温度敏感器件，需要注意板上的热量分布，LDO 或 DC-DC、DSP 等芯片应该放置在离 sensor 较远的地方，以防温度较高的芯片影响 sensor 的图像信号质量。

寄存器控制总线

I2C 总线

SXY5200 通过 I2C 总线对外通信，对应的端口为 SDA 和 SCL。从机读地址为 0x65，从机写地址为 0x64。总线采用 16 位的地址，8 位数据的组织方式。

如 Figure 4 所示为：向地址 0x012c 中写入数据 0x56，DSP 为主机，SXY5200 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 数据；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“STOP”信号。

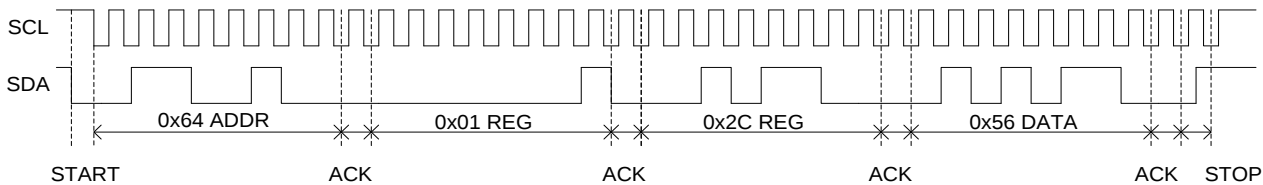


Figure 4 I2C 写操作

如 Figure 5 所示为：从 0x012c 寄存器中读出数据 0x56。DSP 为主机，SXY5200 为从机，步骤为：

- 主机向从机发送“START”信号；
- 主机向从机发送写模式地址 0x64；
- 从机向主机发送“ACK”，用以表示正确接收到地址；
- 主机向从机发送 8-bit 寄存器地址高位 0x01；
- 从机向主机发送“ACK”信号；
- 主机向从机发送 8-bit 寄存器地址低位 0x2C；
- 从机向主机发送“ACK”信号；
- 主机向从机发送“START”信号；
- 主机向从机发送读模式地址 0x65；
- 从机向主机发送“ACK”信号；
- 从机向主机发送 8-bit 数据；
- 主机向从机发送 NOACK；
- 主机向从机发送“STOP”信号。

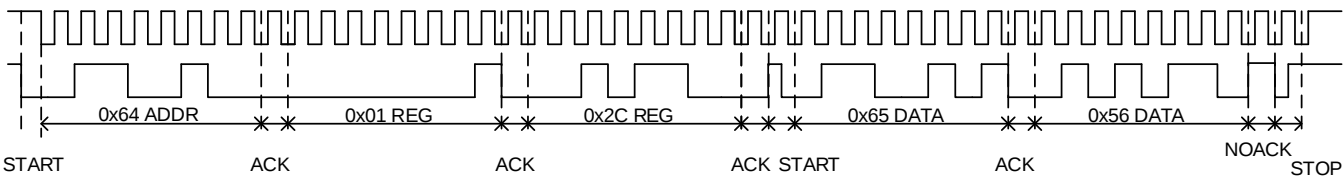


Figure 5 I2C 读操作

影子寄存器更新

SXY5200 内部部分特殊的寄存器采用了影子寄存器。也就是说这部分寄存器在经由 I2C 写入之后不会立即自动更新，而是需要特殊的操作后才会更新。需要“更新”操作的寄存器后面会特殊说明。

Table 4 影子寄存器更新控制

寄存器名	地址	位宽	功能	默认值
寄存器更新控制	0x001d	2	Bit[1:0]: 0x01: 立即生效影子寄存器，并立即中断当前帧，重新开始下一帧。 0x02: 写入后，影子寄存器将在下一个有效帧开始时生效。	0x0

光学设计

成像方向

SXY5200 的 (0, 0) 像素在 Figure 6 光学成像示意图的 K10 球的一侧。默认读出水平读出方向为 K10 向 K1 方向扫描，默认垂直读出方向为 K10 向 A10 方向扫描。

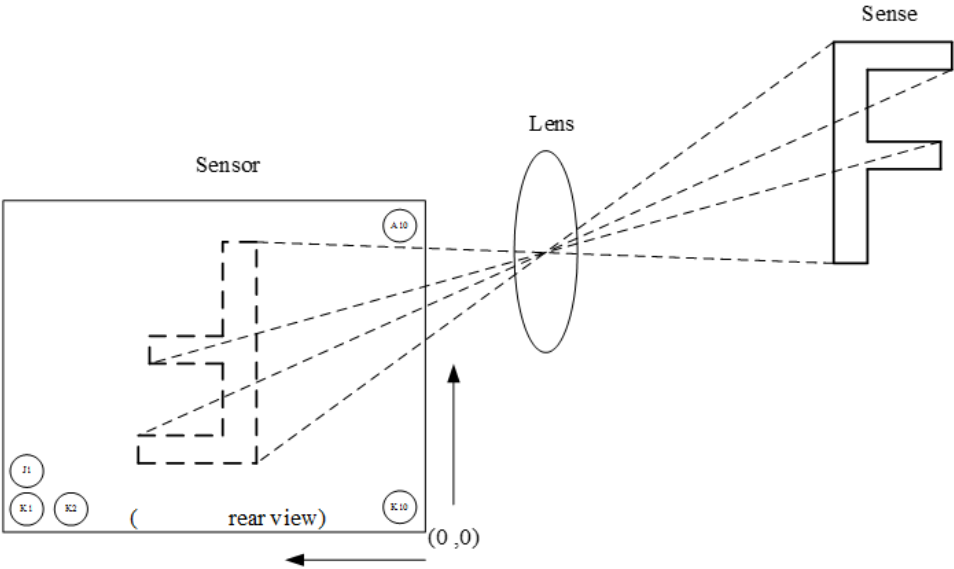


Figure 6 光学成像示意图

在应用的 PCB 上成正像的摆放示意见 Figure 7。

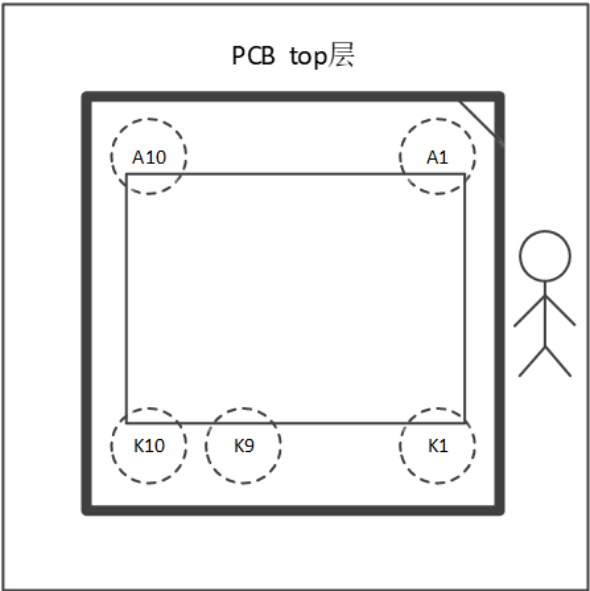


Figure 7 成正像的摆放示意

镜像功能

SXY5200 内部实现的图像的水平镜像和垂直镜像功能。具体的镜像对应见 Figure 8。

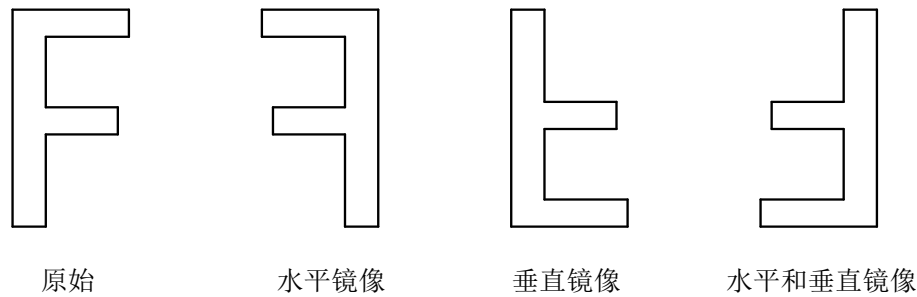


Figure 8 镜像功能示意

镜像功能对应的寄存器为 0x0020 的低两位：请注意不要随意变更该寄存器的其他数据位的数值。该寄存器有影子寄存器，需要向 0x001d 寄存器中写入 0x02 进行更新操作。

Table 5 镜像控制寄存器

寄存器名	地址	位宽	功能	默认值
读出控制	0x0020	8	Bit[7:2] Reserved Bit[1] 水平镜像控制 Bit[0] 垂直镜像控制	0x30

时钟的计算

时钟的定义

Table 6 时钟定义

名称	符号	描述	计算办法
外部输入时钟	Clkin	芯片外部接入时钟	-
系统主时钟	Mclk	芯片内部运行主时钟	见《系统主时钟控制》章节
像素输出时钟	Pixclk	芯片像素输出时钟	见《PLL 控制》章节

PLL 控制

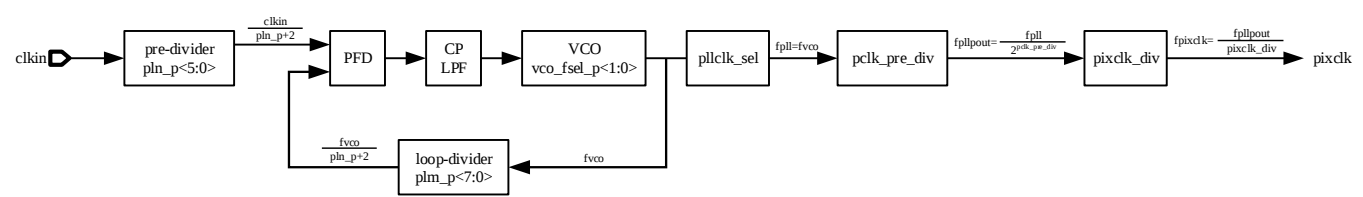


Figure 9 PLL 框图

控制字 pclk_pre_div 控制 PLL 输出时钟是否二分频,输出 pllout 与 clkin 的频率对应关系为:

$$f_{pll_out} = \frac{plm_p + 2}{2^{pclk_pre_div} \times (pln_p + 2)} \times f_{clkin}$$

PLL 对应的控制寄存器如 Table 7 所示。

Table 7 PLL 控制寄存器

寄存器名	地址	位宽	功能	默认值
PLM	0x0033	8	Plm	0x24
PLN	0x0034	6	Pln	0x00
PLLCTRL_PCLK	0x0030	6	Bit[5:4]: vco_freq_sel Bit[3:0]: Reserved	0x20
IO_CTRL	0x00fb	2	Bit[1]:Reserved Bit[0]:mipi_lvds_sel 1'b0:LVDS 1'b1:MIPI	0x0
MIPI_CTRL	0x0401	6	Bit[5:4] Reserved Bit[3:2]: mipi_lane_ctrl 2'b00-1 lane 2'b01-2 lane 2'b10-4 lane 2'b11-8 lane Bit[0]: mipi_data_format 1'b0-RAW10 1'b1-RAW12	0x0b
LVDS_CTRL	0x07d0	7	Bit[6] Reserved Bit[5:4]:lvds_lane_ctrl 2'b00-4lane 2'b01-6lane 2'b1x-8lane Bit[2]:lvds_raw_type 1'b0-raw10 1'b1-raw12 Bit[1:0]: Reserved	0x47

当调节 vco 振荡频率时，需要设置 PLLCTRL_P 中的 vco_freq_sel。vco 频率的计算公式为:

$$F_{vco} = F_{clkin} * (plm_p + 2)/(pln_p + 2)$$

根据 Table 8 来设置 vco_freq_sel。

Table 8 PLL VCO 频率设置对应表

vco_freq_sel<1:0>	vco 频率范围
00 B	75M ~ 662M
01 B	89M ~ 818M
10 B	135M ~ 1175M
11 B	185M ~ 1618M

系统主时钟控制

Mclk（系统主时钟）可选为 Clkin(外部输入时钟)，或 Pixclk(像素输出时钟)的倍频。

Table 9 系统主时钟控制

寄存器名	地址	位宽	功能	默认值
MCLK_CTRL	0x0017	8	Bit[7:4] mclkc Bit[1] reserved Bit[0] mclk 选择: 1: 使 mclk 等于 clkin 0: 使 mclk 等于 pclk 的分频，即 Fmclk = Fpclk/(mclkc+1)。F 表示对应时钟的频率。	0x10

像素时钟控制

Pixclk（像素时钟）由 pllout 输出时钟分频得到，控制字 pixclk_div 控制 pllout 输出时钟的分频：

$$f_{pixclk} = \frac{f_{pllout}}{pixclk_div}$$

参数 pixclk_div 由多个控制字决定，控制字 mipi_lvds_sel 表示当前输出模式为 LVDS 还是 MIPI，如 Table 10 和 Table 11 所示：

Table 10 LVDS 输出模式下的 pixclk_div

LVDS, mipi_lvds_sel=0			
Mode	LVDS raw type control	LVDS lane ctrl	pixclk_div
4Lane RAW10	0	0	1.25
8Lane RAW10		2/3	
4Lane RAW12	1	0	1.5
6Lane RAW12		1	1
8Lane RAW12		2/3	1.5

注：LVDS 不支持 6Lane RAW10 模式

Table 11 MIPI 输出模式下的 pixclk_div

MIPI, mipi_lvds_sel=1			
Mode	MIPI_FORMAT_CTRL	MIPI_DPHY_LANES_CTRL [1:0]	pixclk_div
1Lane RAW10	0	0	1.25
2Lane RAW10		1	
4Lane RAW10		2	
8Lane RAW10		3	
1Lane RAW12	1	0	1.5
2Lane RAW12		1	
4Lane RAW12		2	
8Lane RAW12		3	

注：MIPI 1Lane 模式，控制字 pclk_pre_div 必须设为 1；其他模式下建议设为 0。

控制字 mipi_lvds_sel、LVDS raw type control、LVDS_lane_ctrl、MIPI_FORMAT_CTRL、MIPI_DPHY_LANES_CTRL 的说明见《MIPI》和《LVDS》章节。

调节幅面与帧率

像素阵列排布

SXY5200 的有效像素阵列大小为 2560(H) x 2048(V)，具体的排布情况请见 Figure 10。其中（0，0）像素的位置与《成像方向》所述的（0，0）像素一节对应。

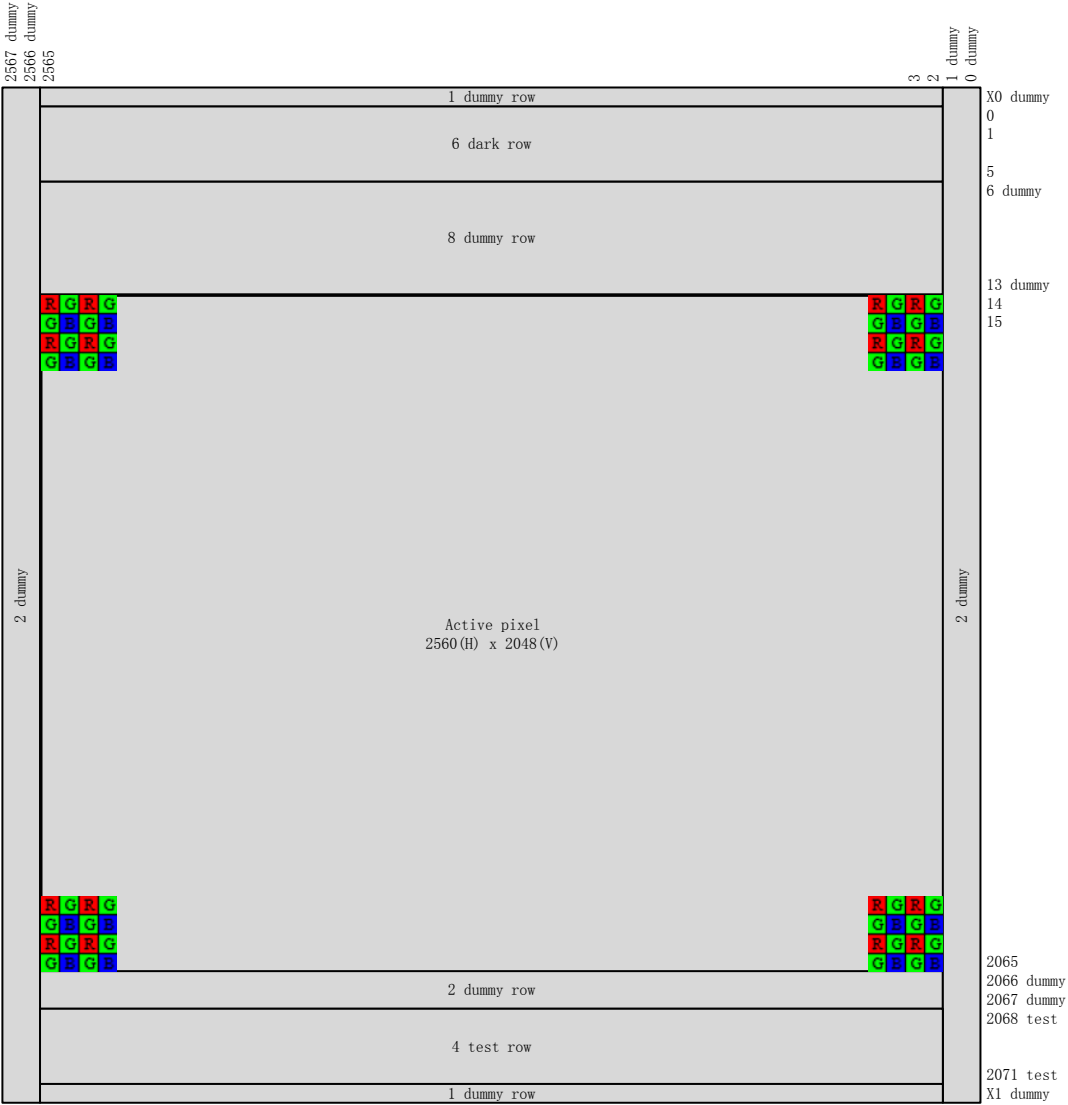


Figure 10 像素阵列排布示意图

调整幅面

决定 SXY5200 输出图像大小的寄存器为 HSIZE（宽度），VSIZE（高度）和 WINDOW。WINDOW 寄存器共 10 位，每位对应 256 列读出电路；当该位为 1 时，对应的 256 列读出电路使能，当该位为 0 时，对应的 256 列读出电路关闭。如果开启窗选功能，那么实际的输出水平宽度大小为 256*num，其中 num 是寄存器 WINDOW 中值为 1 的位数。控制读出开始位置的寄存器为 HSTART（水平开始），VSTART（垂直开始），这些寄存器的地址见 Table 12。HSIZE 的默认值为 0xa00，VSIZE 的默认值为 0x800，默认输出的图像大小为 2560x2048。HSIZE，VSIZE，HSTART，VSTART 和 WINDOW 调整后需要往 0x001d 写 0x02 才会生效。

Table 12 控制输出幅面寄存器

寄存器名	地址	位宽	功能	默认值
HSIZE	0x0006,	12	水平尺寸	0xa00

	0x0007			
VSIZE	0x0008, 0x0009	12	垂直尺寸	0x800
HSTART	0x0002, 0x0003	12	水平开始位置	0x026
VSTART	0x0004, 0x0005	12	垂直开始位置	0x00e
WINDOW	0x30ab, 0x30ac	10	Bit[9] 0: 关闭 2304~2559 列 1: 使能 2304~2559 列 Bit[8] 0: 关闭 2048~2303 列 1: 使能 2048~2303 列 Bit[7] 0: 关闭 1792~2047 列 1: 使能 1792~2047 列 Bit[6] 0: 关闭 1536~1791 列 1: 使能 1536~1791 列 Bit[5] 0: 关闭 1280~1535 列 1: 使能 1280~1535 列 Bit[4] 0: 关闭 1024~1279 列 1: 使能 1024~1279 列 Bit[3] 0: 关闭 768~1023 列 1: 使能 768~1023 列 Bit[2] 0: 关闭 512~767 列 1: 使能 512~767 列 Bit[1] 0: 关闭 256~511 列 1: 使能 256~511 列 Bit[0] 0: 关闭 0~255 列 1: 使能 0~255 列	0x3ff

调整帧率

SXY5200 输出同步信号的波形见 Figure 11。

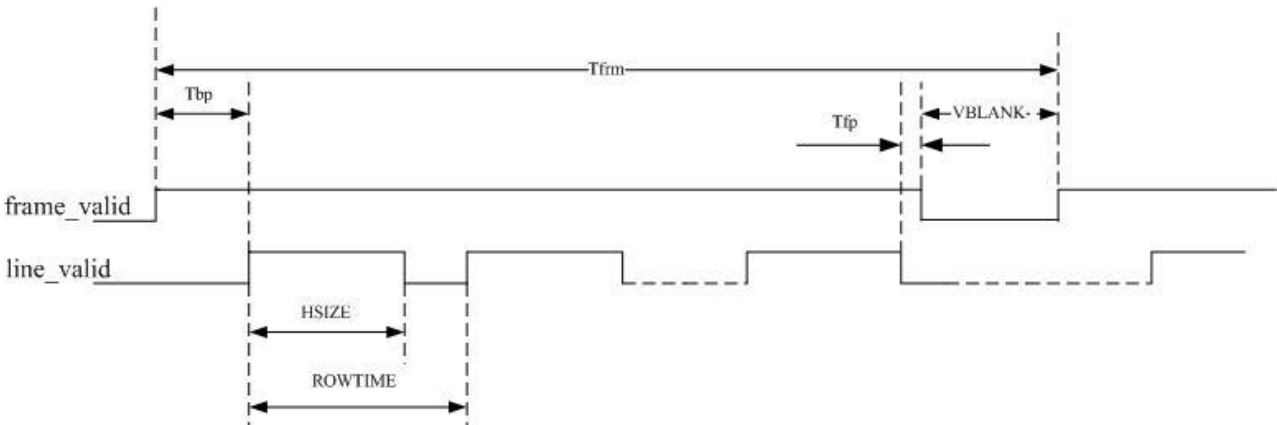


Figure 11 输出波形与帧率计算

在 Figure 11 中，Tfrm 为帧时间。Tbp 称为后廊，指帧同步信号有效后到第一行图像数据的时间间隔。Tfp 称为前廊，指最后一行有效数据输出完毕后到帧同步信号无效的时间间隔。TFRM 和 ROWTIME 为 SXY5200 的寄存器名称。他们的关系为：

$$T_{frm} = TFRM * ROWTIME * T_{mclk}$$

$$T_{bp} + T_{fp} = 6 * ROWTIME * T_{mclk}$$

$$VBLANK = (TFRM - VSIZE - 6) * ROWTIME * T_{mclk}$$

这里的 HSIZE 和 VSIZE 都是指实际输出图像的大小。

决定 SXY5200 输出帧率的寄存器为 ROWTIME（行时间）和 TFRM，这些寄存器的地址见 Table 13。

Table 13 帧率控制寄存器

寄存器名	地址	位宽	功能	默认值
ROWTIME	0x000e, 0x000f	16	以主输入内部主时钟为单位的行时间控制寄存器。	0x0aa0
TFRM	0x0010, 0x0011	16	以行时间为单位的，帧时间控制寄存器。	0x0820

ROWTIME 的默认值为 0x0aa0（10 进制为 2720），TFRM 的默认值为 0x0820，按照上面计算公式，得到帧时间为：

$$T_{frm} = 2080 * 2720 * T_{mclk}$$

ROWTIME 和 TFRM 寄存器调整后需要往 0x001d 写入 0x02 才会生效。

Test Pattern

SXY5200 支持输出 Test pattern 图像功能，支持固定值/水平递增/垂直递增/斜向递增模式。递增模式下，每隔 STEP_POS 个行/列，像素值递增 STEP_VAL。

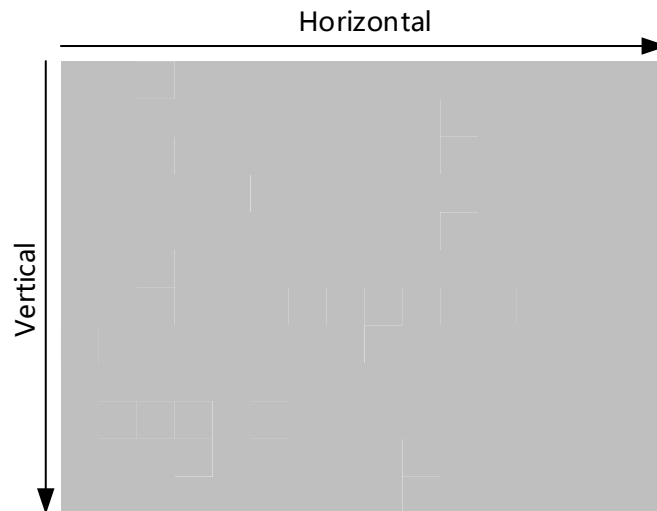


Figure 12 Test pattern 固定值模式

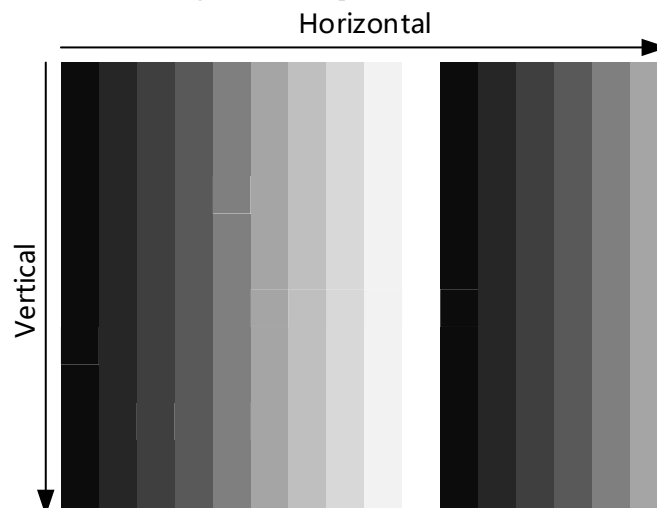


Figure 13 Test pattern 水平递增模式，无 clip

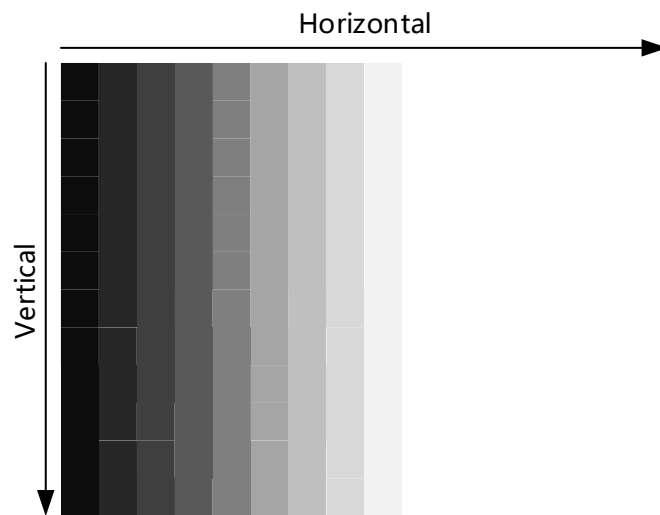


Figure 14 Test pattern 水平递增模式, 有 clip

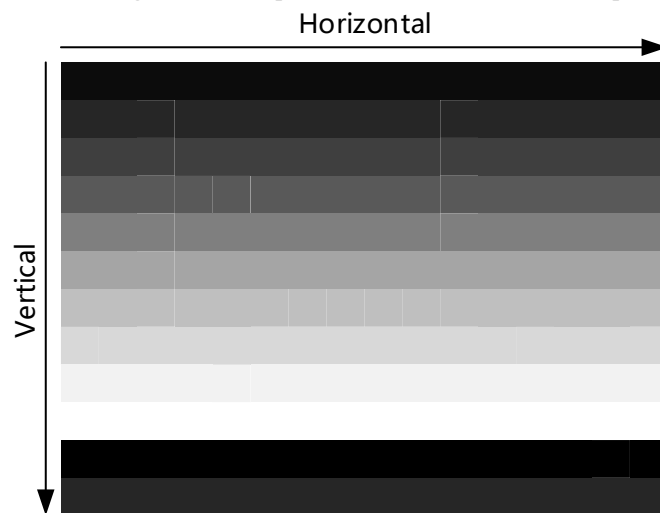


Figure 15 Test pattern 垂直递增模式, 无 clip

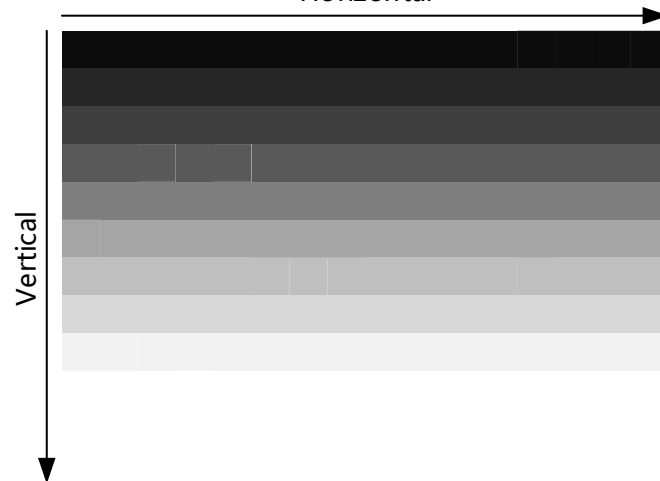


Figure 16 Test pattern 垂直递增模式, 有 clip

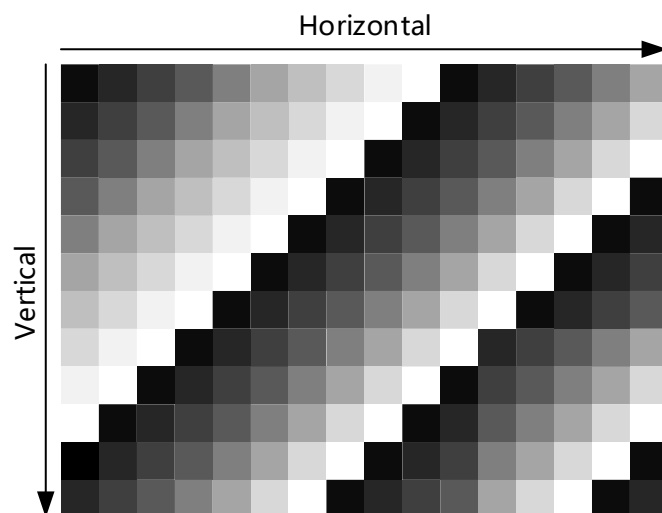


Figure 17 Test pattern 斜向递增模式, 无 clip

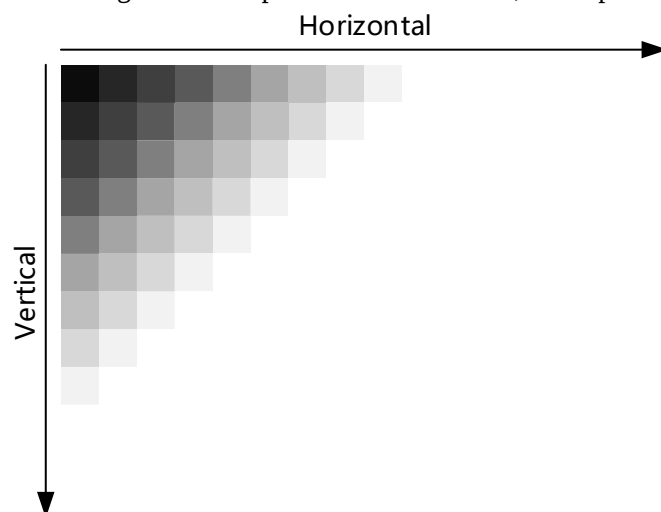


Figure 18 Test pattern 斜向递增模式, 有 clip

Table 14 Test pattern 相关寄存器

寄存器名	地址	位宽	功能	默认值
长帧				
TPG_MODE	0x0100	4	Bit[3]:Test pattern 使能 Bit[2:0]:Test pattern 模式选择 0,1:固定值模式 2:水平递增模式,无 clip 3:水平递增模式,有 clip 4:垂直递增模式,无 clip 5:垂直递增模式,有 clip 6:斜向递增模式,无 clip 7:斜向递增模式,有 clip	0x0
TPG_INIT_VAL	0x0105	15	Test pattern 图像像素初始值	0x0000
TPG_STEP_VAL	0x0107	8	递增模式增量	0x01
TPG_STEP_POS	0x0108	8	递增模式步长	0x01
中帧				
TPG_MODE	0x0200	4	Bit[3]:Test pattern 使能 Bit[2:0]:Test pattern 模式选择	0x0

			0,1:固定值模式 2:水平递增模式,无 clip 3:水平递增模式,有 clip 4:垂直递增模式,无 clip 5:垂直递增模式,有 clip 6:斜向递增模式,无 clip 7:斜向递增模式,有 clip	
TPG_INIT_VAL	0x0205	15	Test pattern 图像像素初始值	0x0000
TPG_STEP_VAL	0x0207	8	递增模式增量	0x01
TPG_STEP_POS	0x0208	8	递增模式步长	0x01
短帧				
TPG_MODE	0x0300	4	Bit[3]:Test pattern 使能 Bit[2:0]:Test pattern 模式选择 0,1:固定值模式 2:水平递增模式,无 clip 3:水平递增模式,有 clip 4:垂直递增模式,无 clip 5:垂直递增模式,有 clip 6:斜向递增模式,无 clip 7:斜向递增模式,有 clip	0x0
TPG_INIT_VAL	0x0305	15	Test pattern 图像像素初始值	0x0000
TPG_STEP_VAL	0x0307	8	递增模式增量	0x01
TPG_STEP_POS	0x0308	8	递增模式步长	0x01

外部触发控制

SXY5200 的外部触发由 TRIG 管脚信号进行控制，芯片内部的触发模式控制寄存器如 Table 15 所示。

Table 15 触发模式控制寄存器

寄存器名	地址	位宽	功能	默认值
TRIGCTRL	0x0028	6	触发模式控制 Bit[5]: 外部 TRIG 高电平控制曝光时间模式 Bit[4]: 控制 TRIG 的上升沿来之后是否立即输出数据模式 Bit[3]: 一次 TRIG 触发单帧还是多帧的模式控制 0: 单帧 1: 多帧 Bit[2]: TRIG 是边沿有效还是电平有效控制 0: 边沿有效 1: 电平有效 Bit[1]: 外部触发使能控制信号 1: 外部触发 0: 内部触发 Bit[0]: Reserved	0x00

SXY5200 的外部触发模式有四种模式，如下所示：

1. 模式一：帧时间和曝光时间由芯片的寄存器控制，外部触发信号 TRIG 上升沿触发芯片开始工作（类似于内部触发模式寄存器 0x001d 设置成 0x01），此模式 TRIGCTRL 寄存器设置为 0x0a。

- 模式二：外部触发信号 TRIG 的上升沿触发开始读出，同时在距 TRIG 上升沿后的 Tfrm-Texp 时间点触发下一帧开始曝光，这里的 Tfrm 和 Texp 由芯片内部的寄存器控制，此时的曝光时间和帧时间由 TRIG 的间距决定。此模式 TRIGCTRL 寄存器设置为 0x12。

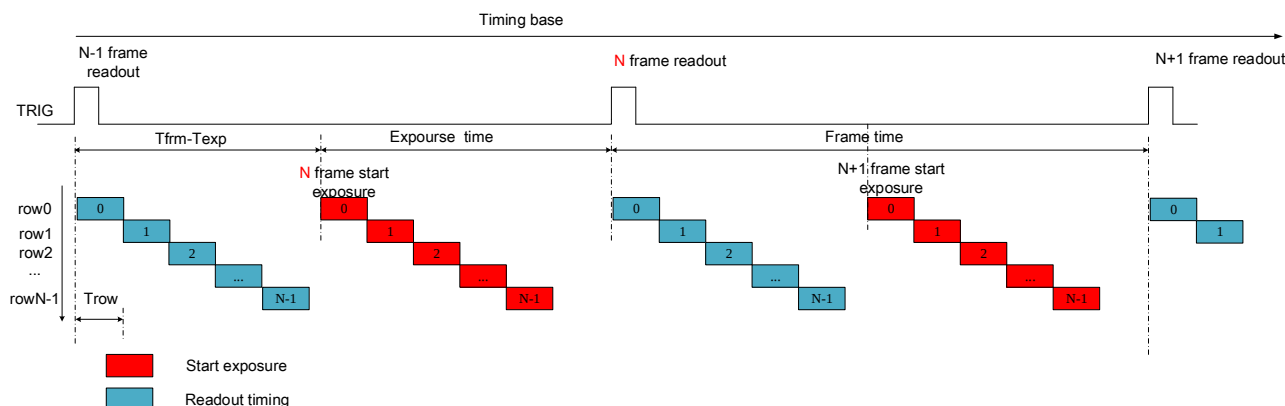


Figure 19 外部触发模式二

- 模式三：外部触发信号 TRIG 控制图像的帧时间和曝光时间。TRIG 的高电平为曝光时间（TRIG 的上升沿触发开始曝光，TRIG 的下降沿触发开始读出）；TRIG 的间距控制帧时间。此模式 TRIGCTRL 寄存器设置为 0x22。

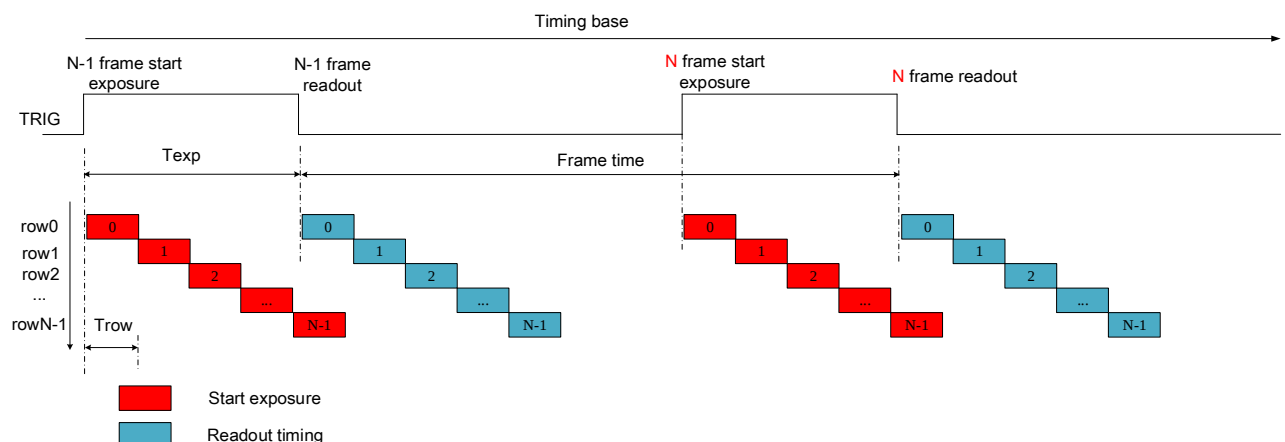


Figure 20 外部触发模式三

- 模式四：电平触发，帧时间和曝光时间由芯片的寄存器控制，外部触发信号 TRIG 为高电平时触发，低电平停止。此模式 TRIGCTRL 寄存器设置为 0x06。

调节曝光与增益

调节曝光

决定曝光时间的寄存器是 TEXP 和 TEXP_MCK 两个寄存器。其中 TEXP 以行时间为单位，TEXP_MCK 以输入主时钟周期为单位。曝光时间计算公式：

$$\text{Texp} = (\text{TEXP} * \text{ROWTIME} + \text{TEXP_MCK}) * \text{Tmclk}$$

公式中出现的 ROWTIME 为寄存器名字，请参见“调整输出帧率”章。Texp 必须小于 Tfrm，否则无法输出图像。

如果开启 Stagger-HDR（长短 2 次曝光）模式，则短曝光时间对应的寄存器是 TEXP_S 和 TEXP_MCK_S，计算公式同上。

TEXP 和 TEXP_MCK 寄存器的地址见 Table 16。

Table 16 曝光控制寄存器

寄存器名	地址	位宽	功能	默认值
TEXP	0x000c 0x000d	16	以行为单位的曝光长度控制	0x01c6
TEXP_MCK	0x000a 0x000b	16	以主时钟为单位的曝光长度控制	0x0000
TEXP_S	0x0022 0x0023	16	以行为单位的曝光长度控制	0x0010
TEXP_MCK_S	0x0024 0x0025	16	以主时钟为单位的曝光长度控制	0x0000

TEXP 的默认值为 0x01c6，TEXP_MCK 的默认值为 0x0000，按照上面计算公式，曝光时间为：

$$T_{exp} = (454 * 2720 + 10) * T_{mclk}$$

TEXP 和 TEXP_MCK 调整后需要往 0x001d 写入 0x02 才会生效。

调节增益

SXY5200 中有两级增益，第一级为模拟增益，第二级为数字增益。

其中 analog 增益的控制寄存器见 Table 17。

Table 17 ramp 增益控制寄存器

寄存器名	地址	位宽	功能	默认值
VREFH_CON	0x308e	4	ramp 增益控制	0xf
VCMCOMP_CON	0x3096	5	偏置电压调整	0x10
RMPGAIN_CTRL	0x3027	7	ramp 增益档位	0x00

由以上寄存器控制的模拟增益为：

$$Gain_{analog} = Gain_{rmp} * \frac{16}{Vh_{con} + 1}$$

其中，Gain_{rmp} 由 RMPGAIN_CTRL[2:0]寄存器设置，见 Table 18。

Table 18 RMPGAIN_CTRL[2:0]与 Gain_{rmp} 对应关系

RMPGAIN_CTRL[2:0]	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
Gain _{rmp}	0.8	1	2	4	8	12	14	16

优先使用 RMPGAIN_CTRL 调节增益，然后剩余增益部分由 VREFH_CON 调节。

数字增益的控制寄存器见 Table 19。

Table 19 数字增益控制寄存器

寄存器名	地址	位宽	功能	默认值
DGAIN	0x00c0, 0x00c1	13	长帧数字增益控制	0x0200
DGAIN_M	0x00c2, 0x00c3	13	中帧数字增益控制	0x0200
DGAIN_S	0x00c4, 0x00c5	13	短帧数字增益控制	0x0200

数字增益的控制寄存器为 DGAIN，其中 0x0200 为 1 倍数字增益，即：

$$Gain_{digital} = Dig_Gain / 512.$$

综上，总增益为：

$$\text{Gain}_{\text{All}} = \text{Gain}_{\text{analog}} * \text{Gain}_{\text{digital}}$$

HDR

SXY5200 有 SDR 和 HDR 两种模式。HDR 模式可以使用 LOFIC 模式、Dual-FD 模式或者 Stagger HDR(长短帧曝光)模式。

Table 20 HDR 控制寄存器

寄存器名	地址	位宽	功能	默认值
READ_MODE	0x0021	[5:0]	SDR/HDR 模式选择 Bit[5:3]: Reserved Bit[2]: Stagger HDR mode enable Bit[1]: Dual-FD HDR mode enable Bit[0]: Lofic HDR mode enable	0x01

SXY5200 支持 SDR 模式、LOFIC HDR 模式、Dual-FD HDR 模式以及 Stagger HDR 模式，这些模式可以组合使用，可用组合模式如 Table 21 所示：

Table 21 HDR 组合模式

组合模式	曝光模式	输出帧数	输出帧类型
SDR	1 次曝光（1 次出数）	1	长帧
LOFIC HDR	1 次曝光（2 次出数）	2	长帧+中帧
Dual-FD HDR	1 次曝光（2 次出数）	2	长帧+中帧
Stagger HDR	2 次曝光（2 次出数）	2	长帧+短帧
LOFIC HDR +Stagger HDR	2 次曝光（3 次出数）	3	长帧+中帧+短帧
Dual-FD HDR +Stagger HDR	2 次曝光（3 次出数）	3	长帧+中帧+短帧

SDR 模式、LOFIC HDR 模式和 Dual-FD HDR 模式通过 1 次曝光实现，其中 LOFIC HDR 模式和 Dual-FD HDR 模式有 2 次出数；Stagger HDR 模式则通过 2 次曝光实现。

LED 闪烁抑制

SXY5200 芯片支持 LED 闪烁抑制（LED Flicker Mitigation, LFM）功能，可减少拍摄使用 LED 光源的信号灯及标志过程中产生的闪烁。SDR 模式长帧支持 LFM 模式，Stagger HDR 模式下仅短帧支持 LFM 模式。

Table 22 LFM 相关寄存器

寄存器名	地址	位宽	功能	默认值
LFM_MODE	0x0036	1	LFM 功能使能，高有效	0x0
LFM_SLICE_NUM	0x3007	8	曝光分段数 N= LFM_SLICE_NUM+1	0x04
TFRM_SLICE	0x3004, 0x3005	16	曝光分段长度，单位 ROWTIME	0x0030
ROWTIME	0x000e, 0x000f	16	行时间，单位 Tmclk	0x0aa0
TEXP	0x000c, 0x000d	16	长帧曝光时间，单位 ROWTIME	0x01c6
TEXP_MCK	0x000a, 0x000b	16	长帧曝光时间，单位 Tmclk	0x0000
TEXP_S	0x0022, 0x0023	16	短帧曝光时间，单位 ROWTIME	0x0010

TEXP_MCK_S	0x0024, 0x0025	16	短帧曝光时间, 单位 Tmclk	0x0000
------------	-------------------	----	------------------	--------

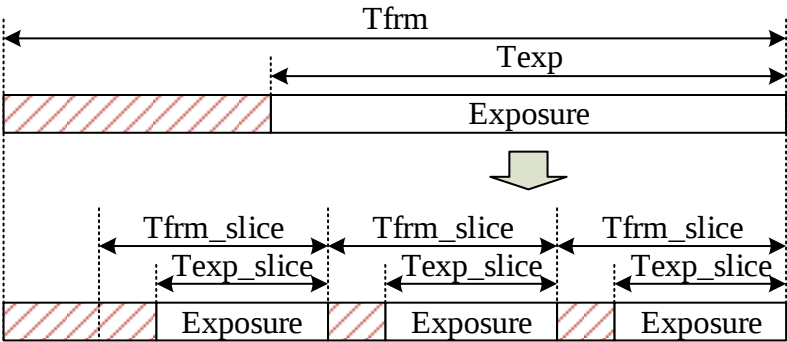


Figure 21 LFM 曝光分割

LFM 功能基本原理是将连续曝光过程分割为 N 个非连续曝光过程，如 Figure 21 所示，以 N=3 为例，曝光时间 Texp 被均分为 3 段曝光时间段 Texp_slice，连续两次曝光之间间隔为 Tfrm_slice-Texp_slice。各参数计算公式如下所示，其中 floor()表示向下取整。

$$N = \text{LFM_SLICE_NUM} + 1$$

$$\text{Tfrm_slice} = \text{TFRM_SLICE} \times \text{ROWTIME} \times \text{Tmclk}$$

$$\text{Texp_slice} = \left(\text{floor}\left(\frac{\text{TEXP}}{N}\right) \times \text{ROWTIME} + \text{floor}\left(\frac{(\text{TEXP} \% N) \times \text{ROWTIME} + \text{TEXP_MCK}}{N}\right) \right) \times \text{Tmclk}$$

黑电平校正

SXY5200 芯片内建了黑电平校正模块。其基本原理是利用黑电平参考像素对有效像素进行黑电平校正，用以消除电路，环境温度带来的黑电平漂移。

Table 23 BLC 控制寄存器

寄存器名	地址	位宽	功能	默认值
长帧				
DBLC_CTRL	0x0120	2	Bit[1] Reserved Bit[0]: DBLC enable, 高有效。	0x1
DBLC_ACT_TAR	0x0121 0x0122	12	期望得到的最终图像的 target, 无符号数。	0x000
DBLC_TH	0x0123 0x0124	13	收敛范围调整, 无符号数。	0x0040
DBLC_MAN_REFRESH	0x0125	1	刷新 DBLC	0x0
中帧				
DBLC_CTRL	0x0220	2	Bit[1] Reserved Bit[0]: DBLC enable, 高有效。	0x1
DBLC_ACT_TAR	0x0221 0x0222	12	期望得到的最终图像的 target, 无符号数。	0x000
DBLC_TH	0x0223 0x0224	13	收敛范围调整, 无符号数。	0x0040
DBLC_MAN_REFRESH	0x0225	1	刷新 DBLC	0x0
短帧				
DBLC_CTRL	0x0320	2	Bit[1] Reserved Bit[0]: DBLC enable, 高有效。	0x1

DBLC_ACT_TAR	0x0321 0x0322	12	期望得到的最终图像的 target，无符号数。	0x000
DBLC_TH	0x0323 0x0324	13	收敛范围调整，无符号数。	0x0040
DBLC_MAN_REFRESH	0x0325	1	刷新 DBLC	0x0

DBLC_CTRL 为 digital BLCC 功能的控制开关；
BLCC 的目标值由 DBLC_TAR 来调节，即 BLCC 操作完成后期望得到的黑电平；
DBLC_TH 用来调节算法的稳定范围，最终的收敛示意如 Figure 22 所示；
调整 target 时，dblc_man_refresh 写 1 才能及时生效，否则会在下次暗电平变化时自动生效。

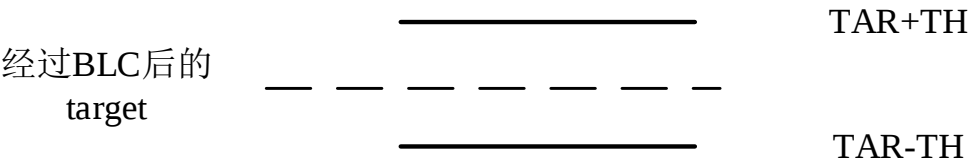


Figure 22 BLC 收敛示意

MIPI

- 支持 MIPI CSI-2 协议、D-PHY 协议编码。
- 支持 1/2/4/8 对 data lane，1 对 clock lane 差分传输。
- 支持 RAW10/RAW12 数据格式。

Table 24 mipi 控制寄存器

寄存器名	地址	位宽	功能	默认值
MIPI_CTRL	0x0400	6	Bit[5:1]: Reserved Bit[0]: Mipi module enable,mipi 使能控制，1 为使能。	0x01
MIPI_FORMAT_CTRL	0x0401	6	Bit[5:4]: Reserved Bit[3:2]: Data lane control, 0 表示 1 个数据通道, 1 表示 2 个数据通道, 2 表示 4 个数据通道,3 表示 8 个数据通道 Bit[1:0]: Image data format control, 0 表示 raw10, 1 表示 raw12	0x0d
MIPI_SP_CTRL	0x0402	3	Bit[2]: Reserved Bit[1]: Frame number enable in frame start(or end)' WC, 1 表示 frame number 使能（在 0-0xffff 之间循环）, 0 表示 frame number 一直为 0 Bit[0]: Reserved	0x0

MIPI_DPHY_LANES_CTRL	0x0485	8	Bit[7]: Data lane 7 HS enable, 使用 8 个数据通道时必须设为 1。 Bit[6]: Data lane 6 HS enable, 使用 8 个数据通道时必须设为 1。 Bit[5]: Data lane 5 HS enable, 使用 8 个数据通道时必须设为 1。 Bit[4]: Data lane 4 HS enable, 使用 8 个数据通道时必须设为 1。 Bit[3]: Data lane 3 HS enable, 使用 4/8 个数据通道时必须设为 1。 Bit[2]: Data lane 2 HS enable, 使用 4/8 个数据通道时必须设为 1。 Bit[1]: Data lane 1 HS enable, 使用 2/4/8 个数据通道时必须设为 1。 Bit[0]: Data lane 0 HS enable, 使用 1/2/4/8 个数据通道时必须设为 1。	0xff
MIPI_PCLK_PERIOD	0x0489	8	Clock period used to calculate the mipi timing, 设置的值为 mipi clock lane 输出的时钟周期的 4 倍（如果有小数部分，直接舍弃）。	0x0c
IO_CTRL	0x00fb	2	Bit[1]: Reserved Bit[0]: mipi_lvds_sel 0: LVDS mode 1: MIPI mode	0x0
OENCTRL	0x00fc	6	输出使能控制, 0 为正常输出, 1 为高阻。 Bit[5]: oen_c Bit[4]: oen_d67 Bit[3]: oen_d45 Bit[2]: oen_d23 Bit[1]: oen_d1 Bit[0]: oen_d0	0x3f

raw10 和 raw12 的数据输出顺序如 Figure 23 所示。

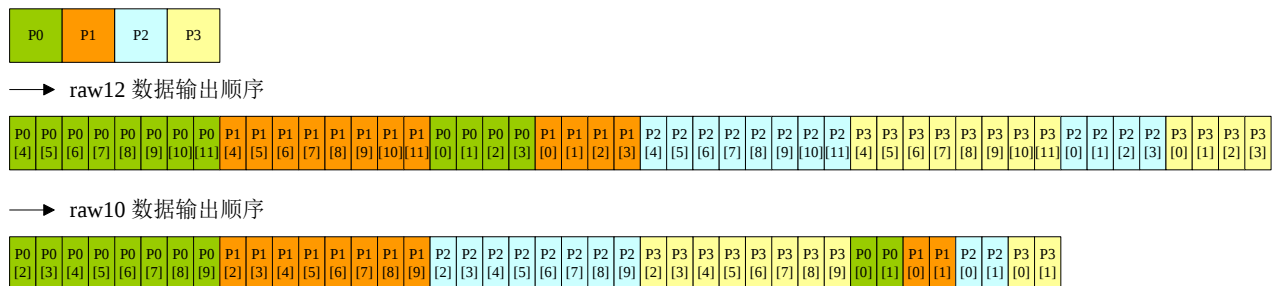


Figure 23 raw10/raw12 数据输出顺序

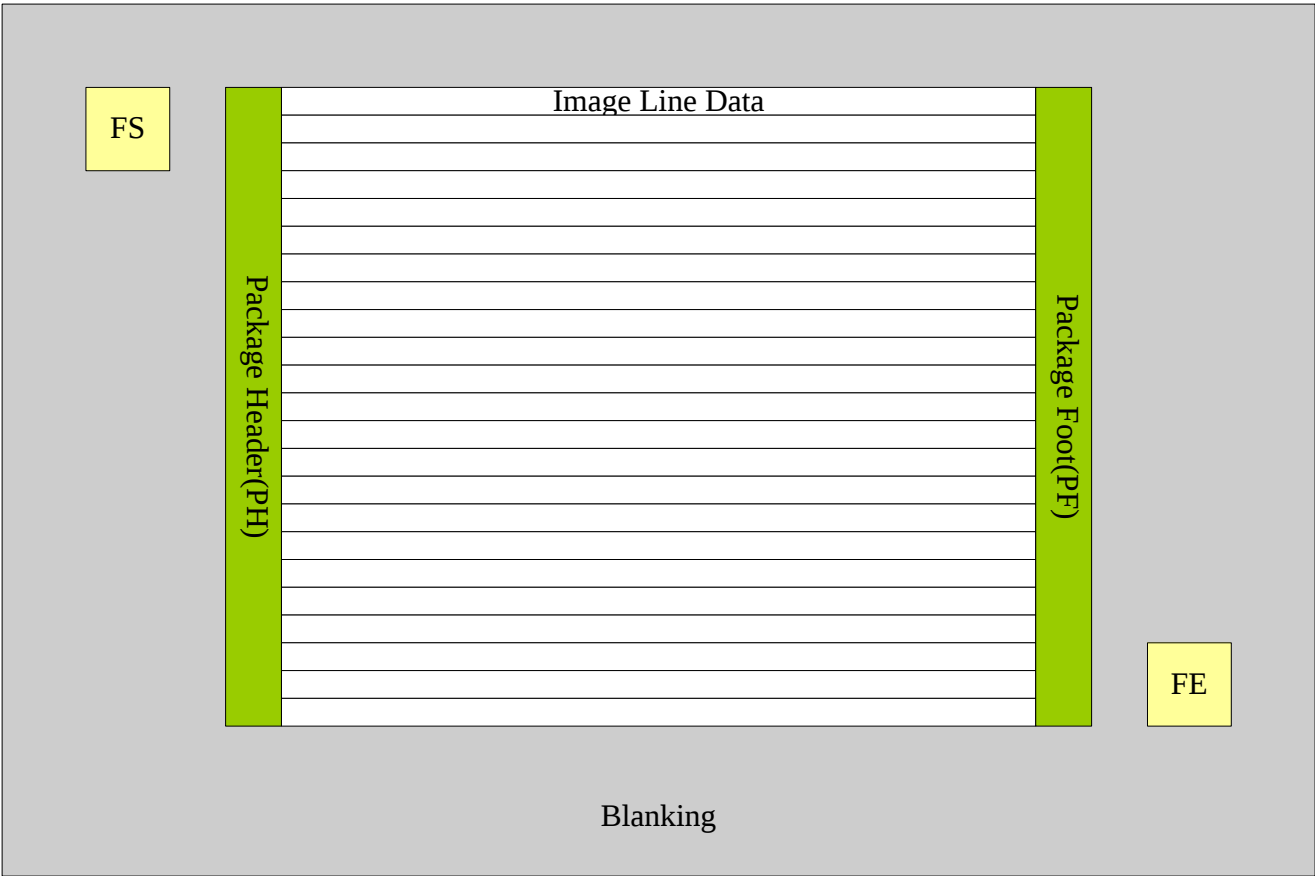


Figure 24 Mipi Frame Timing

不同 Lane 数配置模式下，MIPI 长包数据在各 Data Lane 上分配方式分别如 Figure 25、Figure 26、Figure 27、Figure 28、Figure 29、Figure 30、Figure 31 和 Figure 32 所示，其中 PH（Packet Header）表示长包包头，共 4 个 byte，P 表示像素数据。RAW10 模式下，每 4 个 10bit 像素转化为 5 个 8bit byte 后在长包中发送；RAW12 模式下，每 2 个 12bit 像素转化为 3 个 8bit byte 后在长包中发送。

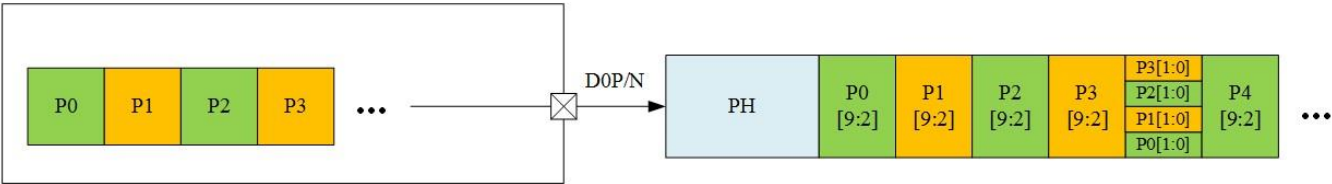


Figure 25 MIPI 1-Lane RAW10 数据分配方式

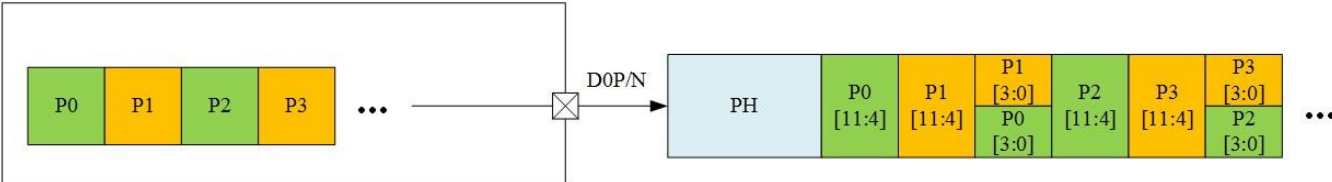


Figure 26 MIPI 1-Lane RAW12 数据分配方式

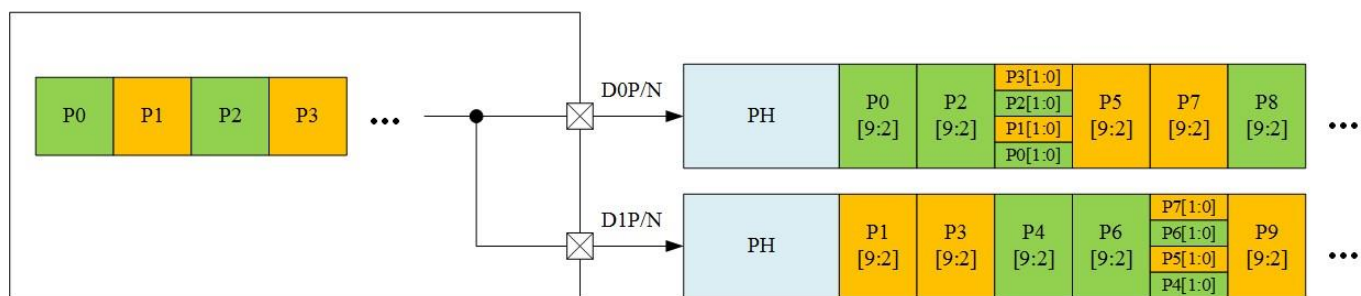


Figure 27 MIPI 2-Lane RAW10 数据分配方式

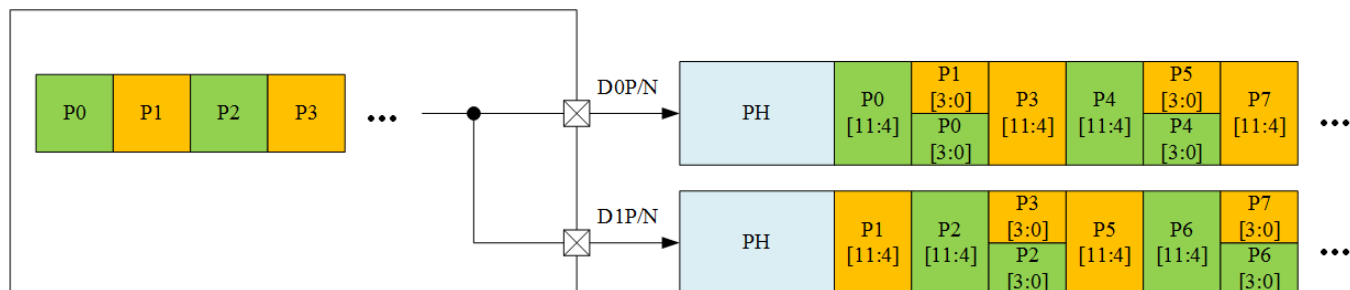


Figure 28 MIPI 2-Lane RAW12 数据分配方式

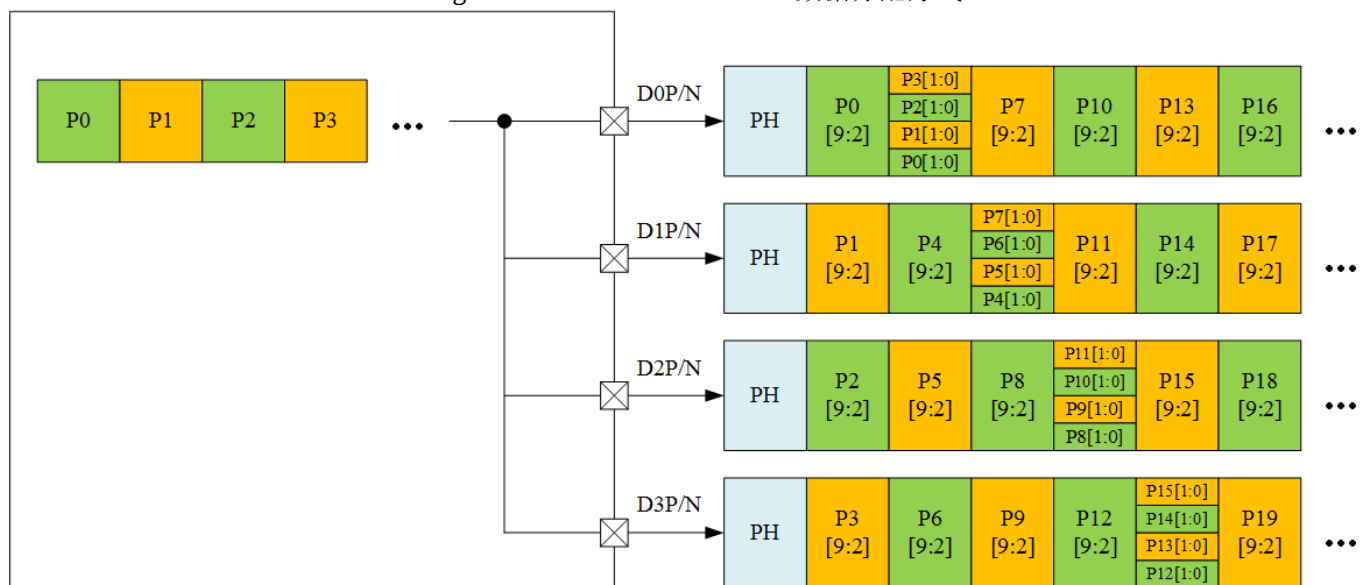


Figure 29 MIPI 4-Lane RAW10 数据分配方式

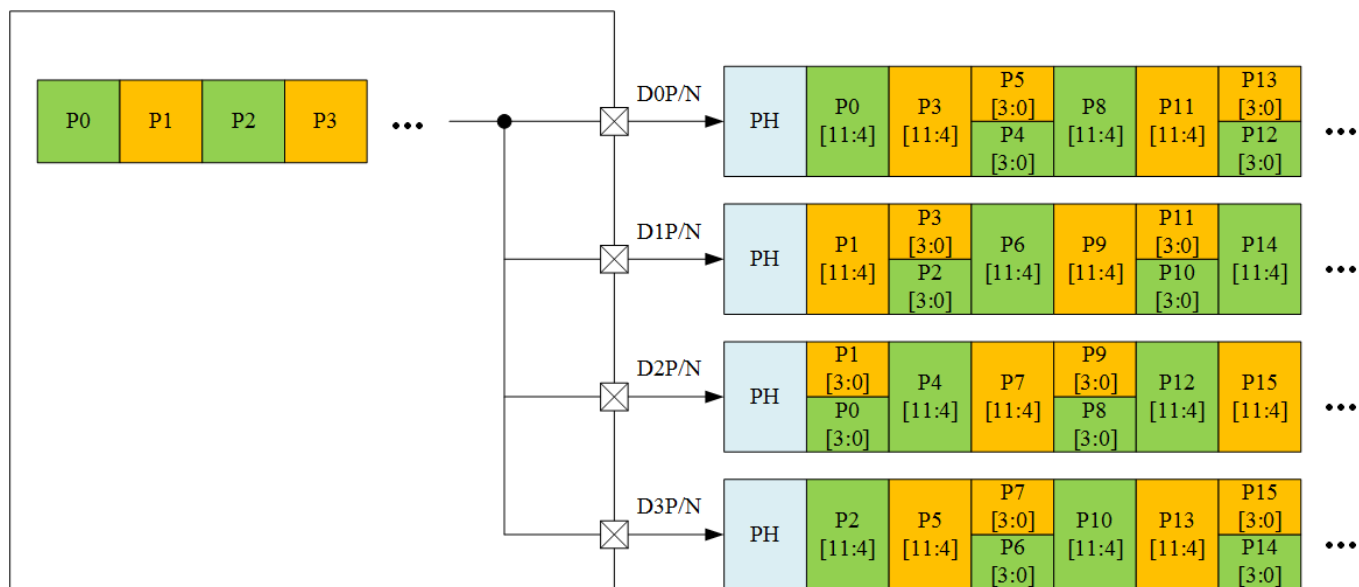


Figure 30 MIPI 4-Lane RAW12 数据分配方式

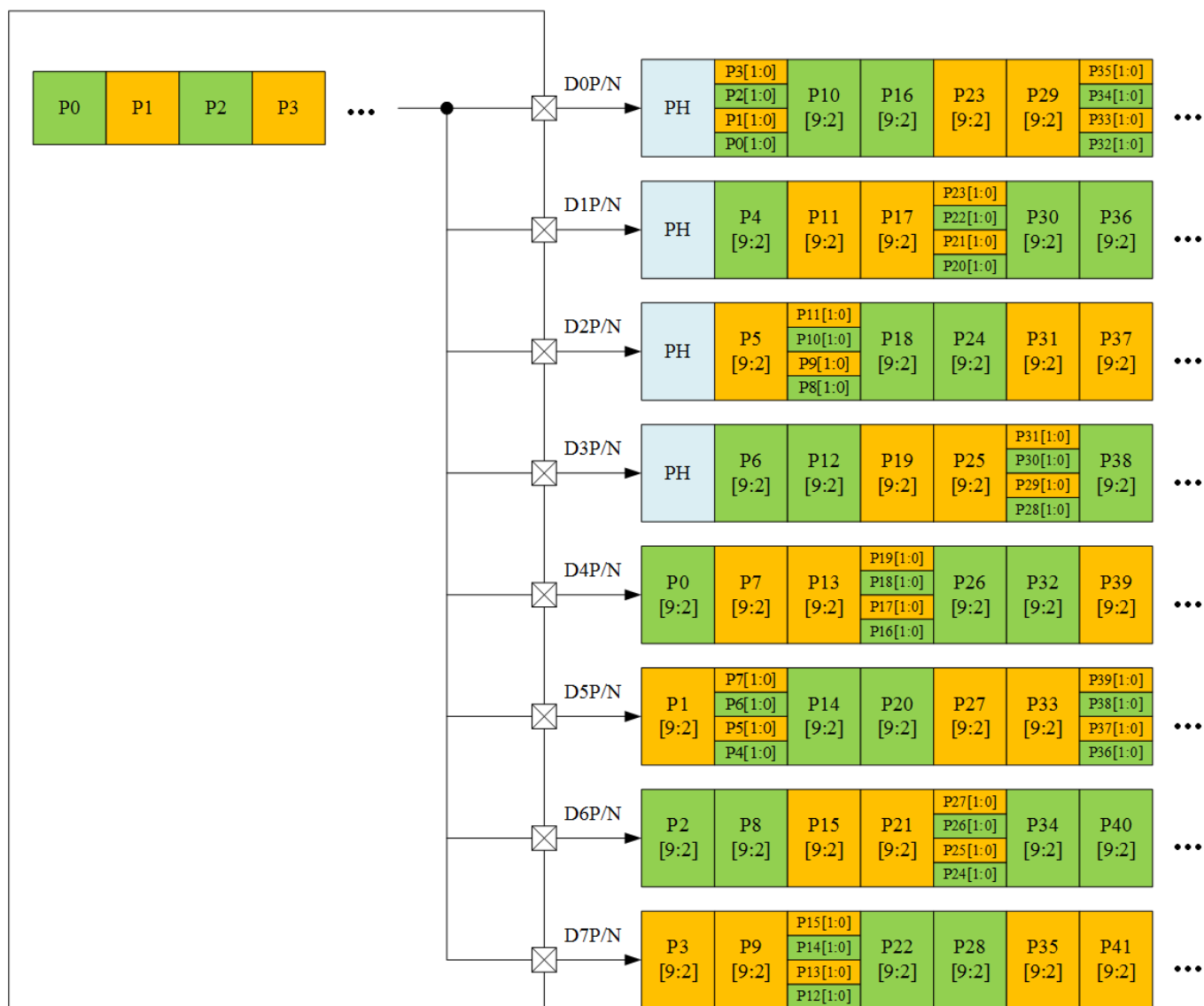


Figure 31 MIPI 8-Lane RAW10 数据分配方式

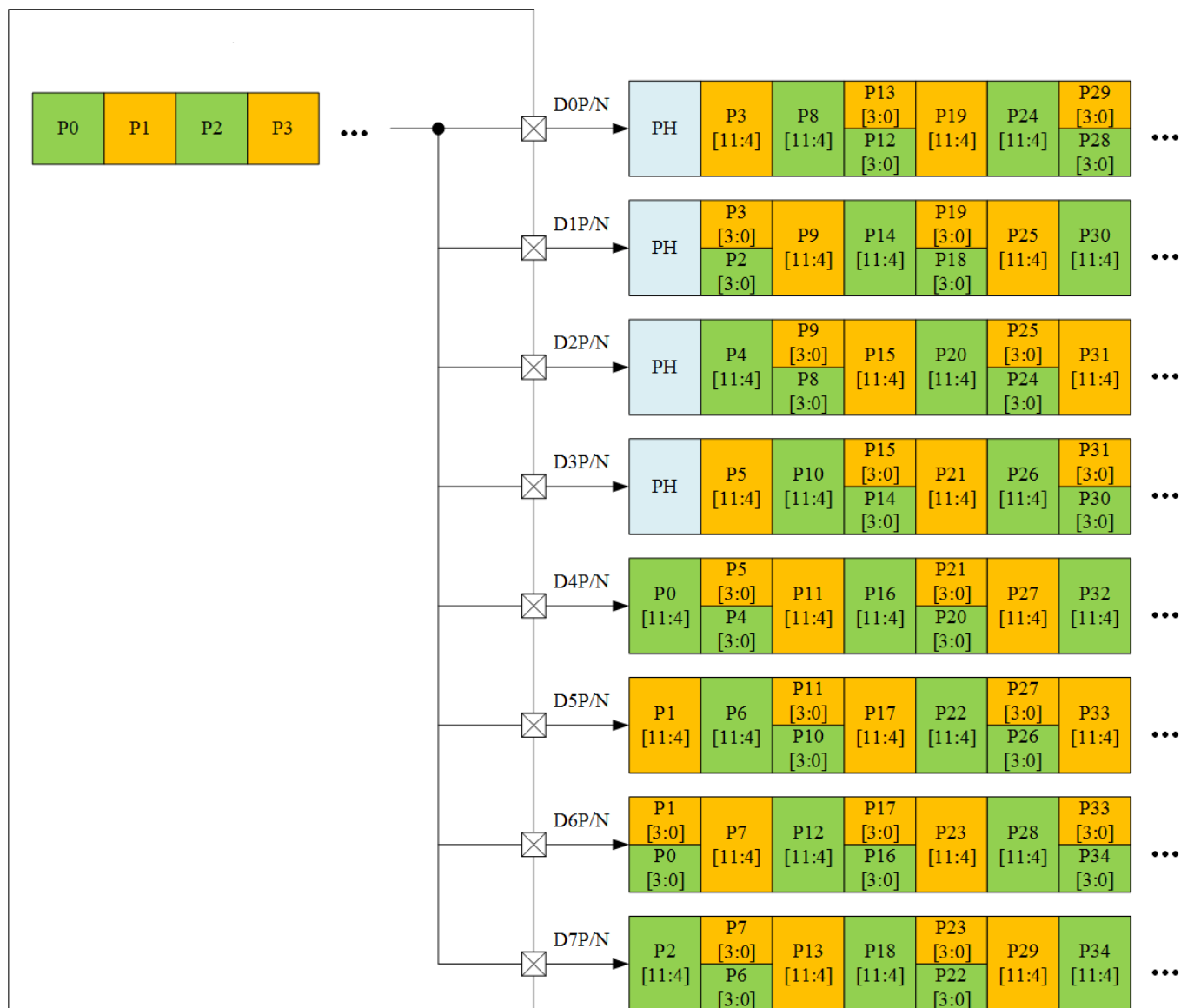


Figure 32 MIPI 8-Lane RAW12 数据分配方式

MIPI dphy 的工作示意图见 Figure 33 和 Figure 34。

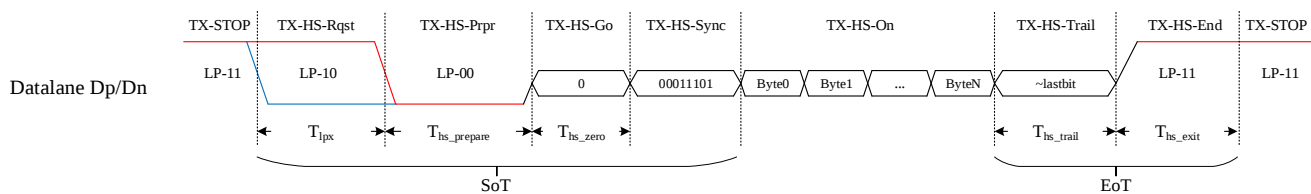


Figure 33 Data lane High-speed 传输过程

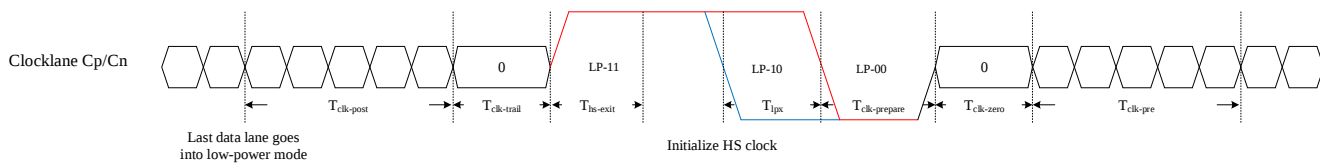


Figure 34 Clock lane High-speed 时钟停止和恢复过程

LVDS

- 支持 BT656 协议编码。
 - 支持 4/8 对 RAW10/RAW12，以及 6 对 RAW12 DDR 模式串行 LVDS 传输。
- 同步码传输方式见 Figure 35，图中 H 表示同步码，P 表示像素。可以选择每个像素的高位先出或低位先出，见 Figure 36 和 Figure 37。

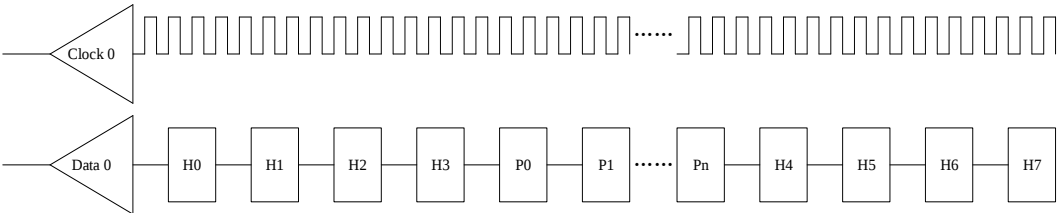


Figure 35 同步码传输方式示意图（1 data lane）

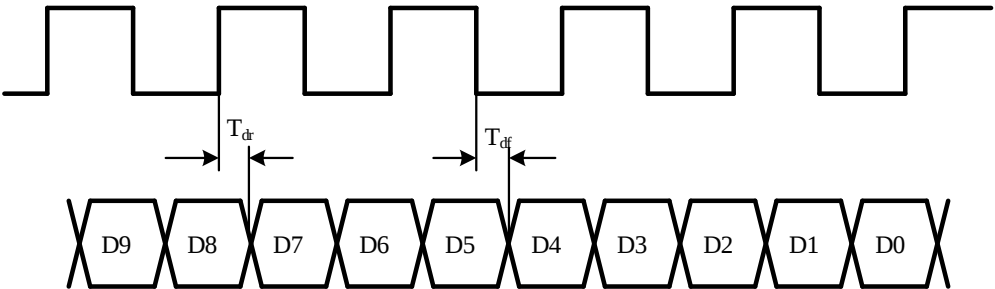


Figure 36 LVDS 单个像素 MSB 传输方式（RAW10）

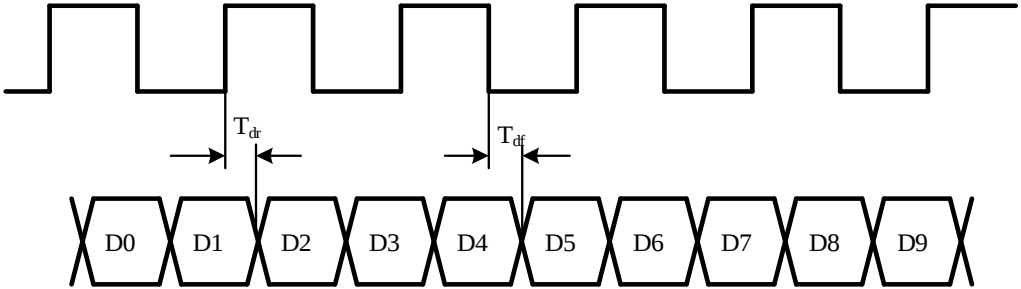


Figure 37 LVDS 单个像素 LSB 传输方式（RAW10）

Table 25 LVDS 时序参数

参数	描述	数值（ns）	
		Min	Max
T _{dr}	数据相对 lvds_clk 上升沿的延时	0	
T _{df}	数据相对 lvds_clk 下降沿的延时	0	

同步模式 0 见 Figure 38，每帧第一行的 SOL 被 SOF 代替，每帧最后一行的 EOL 被 EOF 代替。

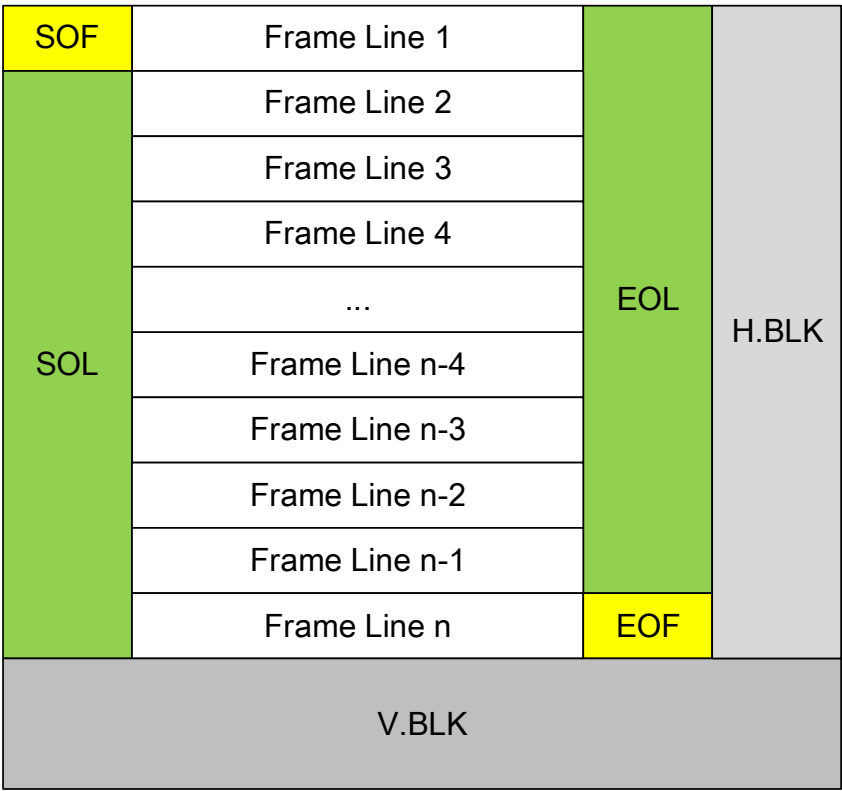


Figure 38 LVDS 同步模式 0 示意图

同步模式 1 见 Figure 39，每帧的 SOF 于第一行的 SOL 前单独发送，EOF 于最后一行的 EOL 后单独发送。

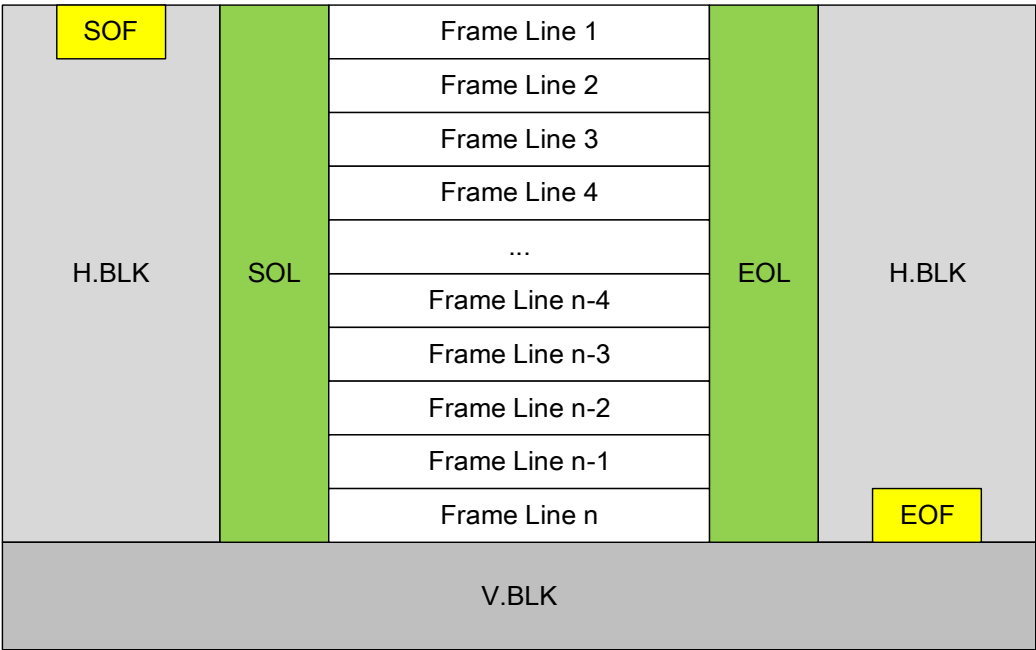


Figure 39 LVDS 同步模式 1 示意图

LVDS 同步码由 12 个码值组成，每个码值位宽与像素位宽相同，如 Table 26 所示，其中 SOF_0、EOF_0、SOL_0 和 EOL_0 为长帧同步码，SOF_1、EOF_1、SOL_1 和 EOL_1 为中帧同步码，SOF_2、EOF_2、SOL_2 和 EOL_2 为短帧同步码。

Table 26 LVDS 同步码

Sync code	Bit width	1 st code	2 nd code	3 rd code	4 th code
SOF_0	10	3FFh	000h	000h	2D8h

	12	FFFh	000h	000h	B60h
EOF_0	10	3FFh	000h	000h	200h
	12	FFFh	000h	000h	800h
SOL_0	10	3FFh	000h	000h	274h
	12	FFFh	000h	000h	9D0h
EOL_0	10	3FFh	000h	000h	2ACh
	12	FFFh	000h	000h	AB0h
SOF_1	10	3FFh	000h	000h	3C4h
	12	FFFh	000h	000h	F10h
EOF_1	10	3FFh	000h	000h	31Ch
	12	FFFh	000h	000h	C70h
SOL_1	10	3FFh	000h	000h	368h
	12	FFFh	000h	000h	DA0h
EOL_1	10	3FFh	000h	000h	3B0h
	12	FFFh	000h	000h	EC0h
SOF_2	10	3FFh	000h	000h	2E4h
	12	FFFh	000h	000h	B90h
EOF_2	10	3FFh	000h	000h	23Ch
	12	FFFh	000h	000h	8F0h
SOL_2	10	3FFh	000h	000h	248h
	12	FFFh	000h	000h	920h
EOL_2	10	3FFh	000h	000h	290h
	12	FFFh	000h	000h	A40h

不同 Lane 数配置模式下，同步码和像素数据在各 Data Lane 上分配方式如 Figure 40、Figure 41 和 Figure 42 所示。其中 S 表示同步码，P 表示像素数据。

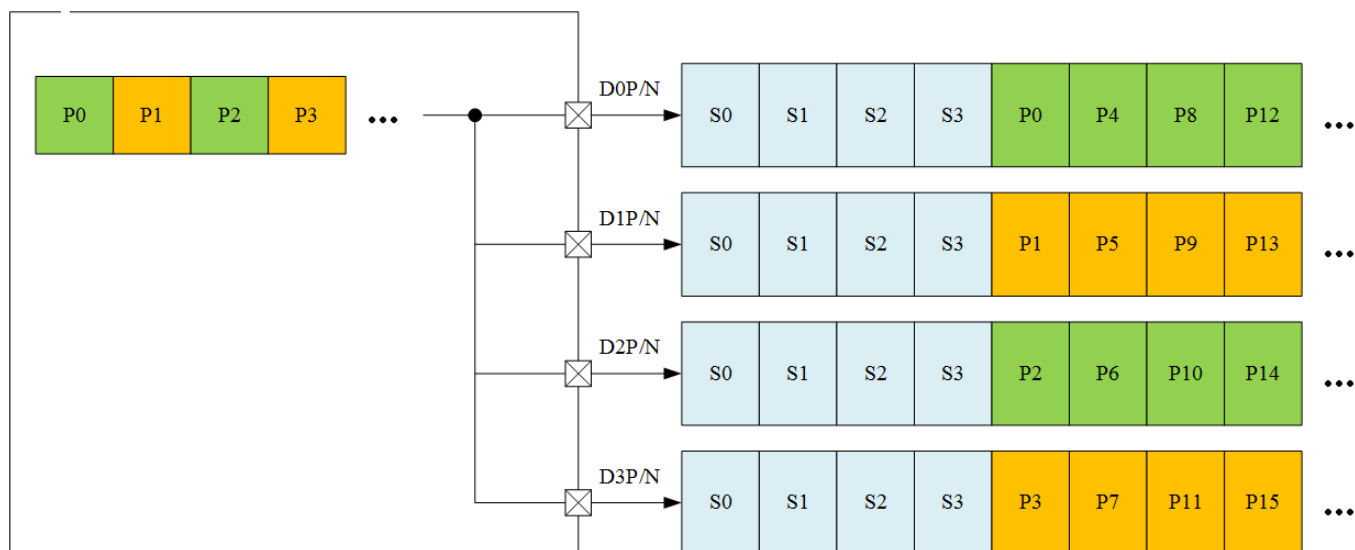


Figure 40 LVDS 4-Lane 数据分配方式

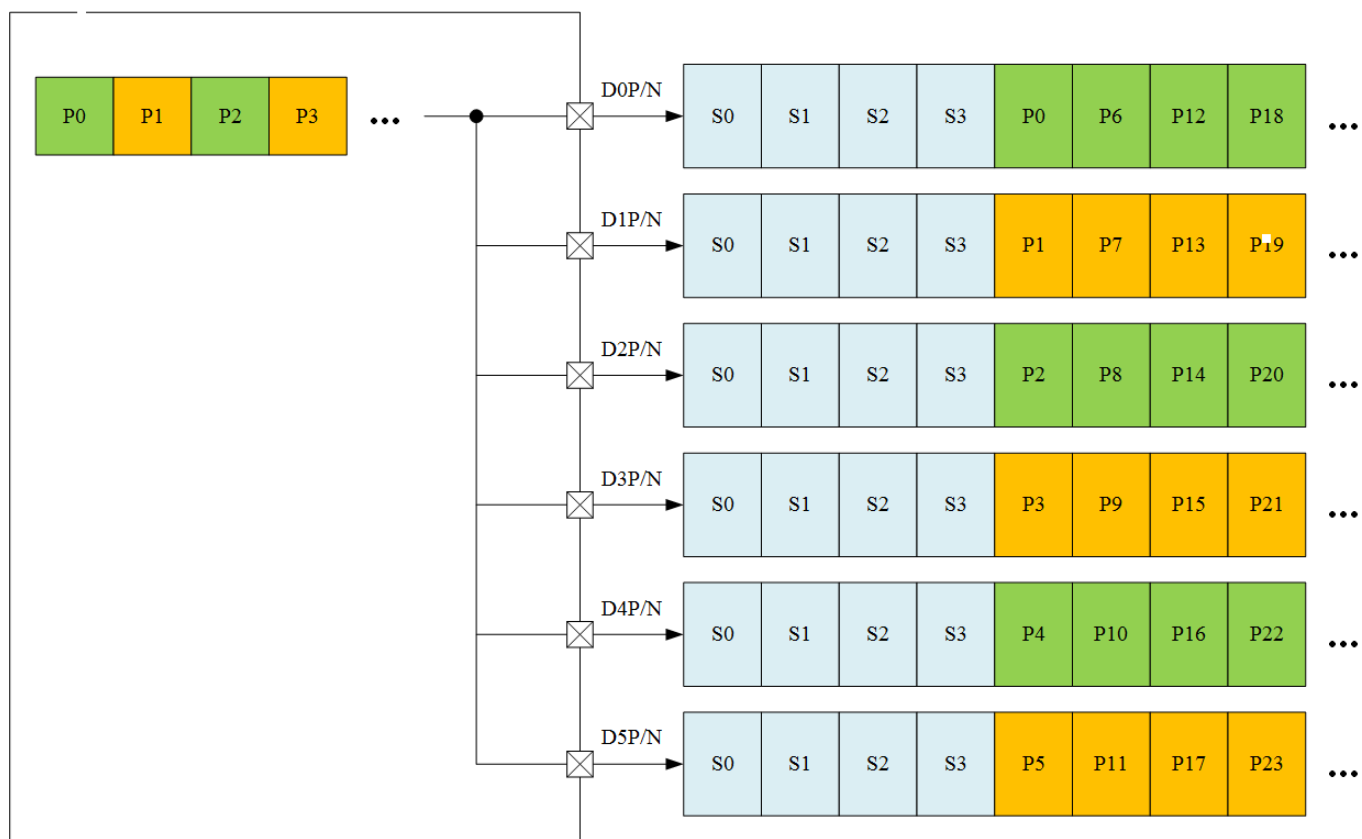


Figure 41 LVDS 6-Lane 数据分配方式

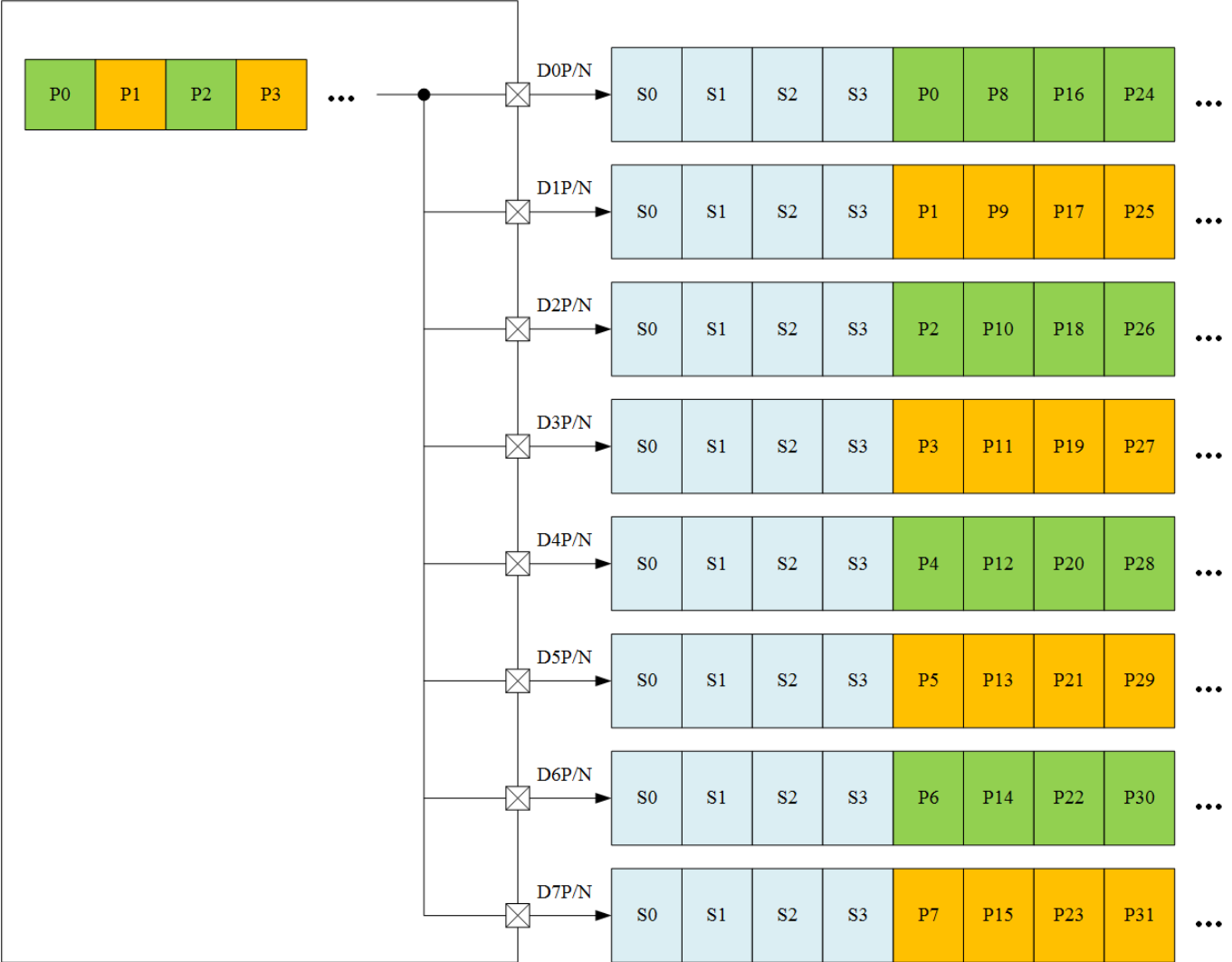


Figure 42 LVDS 8-Lane 数据分配方式

Table 27 LVDS 控制寄存器

寄存器名	地址	位宽	功能	默认值
LVDS_MODE	0x07d0	7	Bit[6]: big_endian control 1: MSB mode 0: LSB mode Bit[5:4]:LVDS_lane_ctrl 2: 8 lane 1: 6 lane 0: 4 lane Bit[2]: LVDS raw type control 1: RAW12 0: RAW10 Bit[1]: Reserved Bit[0]: bt656 encode enable	0x47

LVDS_MODE2	0x07d1	5	Bit[4]: Reserved Bit[3]: LVDS sync mode control 1: LVDS sync mode 1 0: LVDS sync mode 0 Bit[2:0]: Reserved	0x00
IO_CTRL	0x00fb	2	Bit[1]: Reserved Bit[0]: mipi_lvds_sel	0x0

其他

芯片电源上电顺序

芯片建议上电时序图请见 Figure 43，不同电源之间的最小上电间隔没有要求。

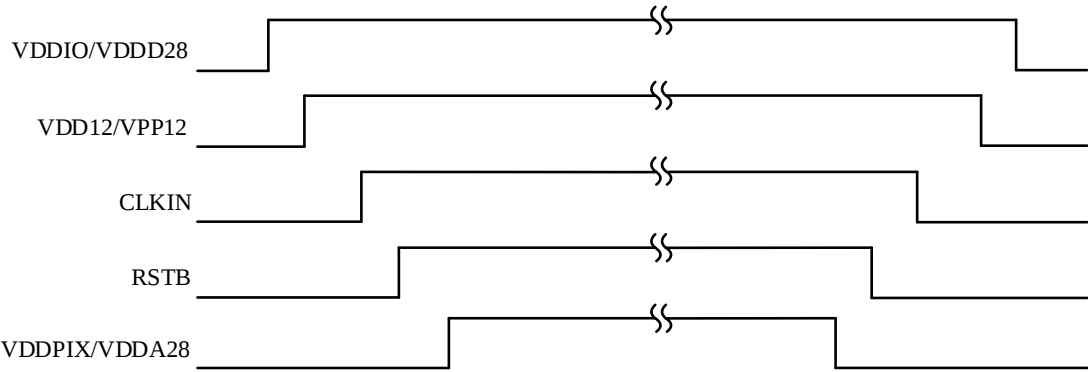


Figure 43 芯片上电时序图

数据相位调节

Table 28 调节 Pclk 的相位

寄存器名	地址	位宽	功能	默认值
CLKDLY_CTRL	0x30a7	4	Clk-lane 的相位调节	0x0
DATADLY_CTRL0	0x30a3	8	Data-lane0/1 的相位调节	0x00
DATADLY_CTRL1	0x30a4	8	Data-lane2/3 的相位调节	0x00
DATADLY_CTRL2	0x30a5	8	Data-lane4/5 的相位调节	0x00
DATADLY_CTRL3	0x30a6	8	Data-lane6/7 的相位调节	0x00

量子效率曲线

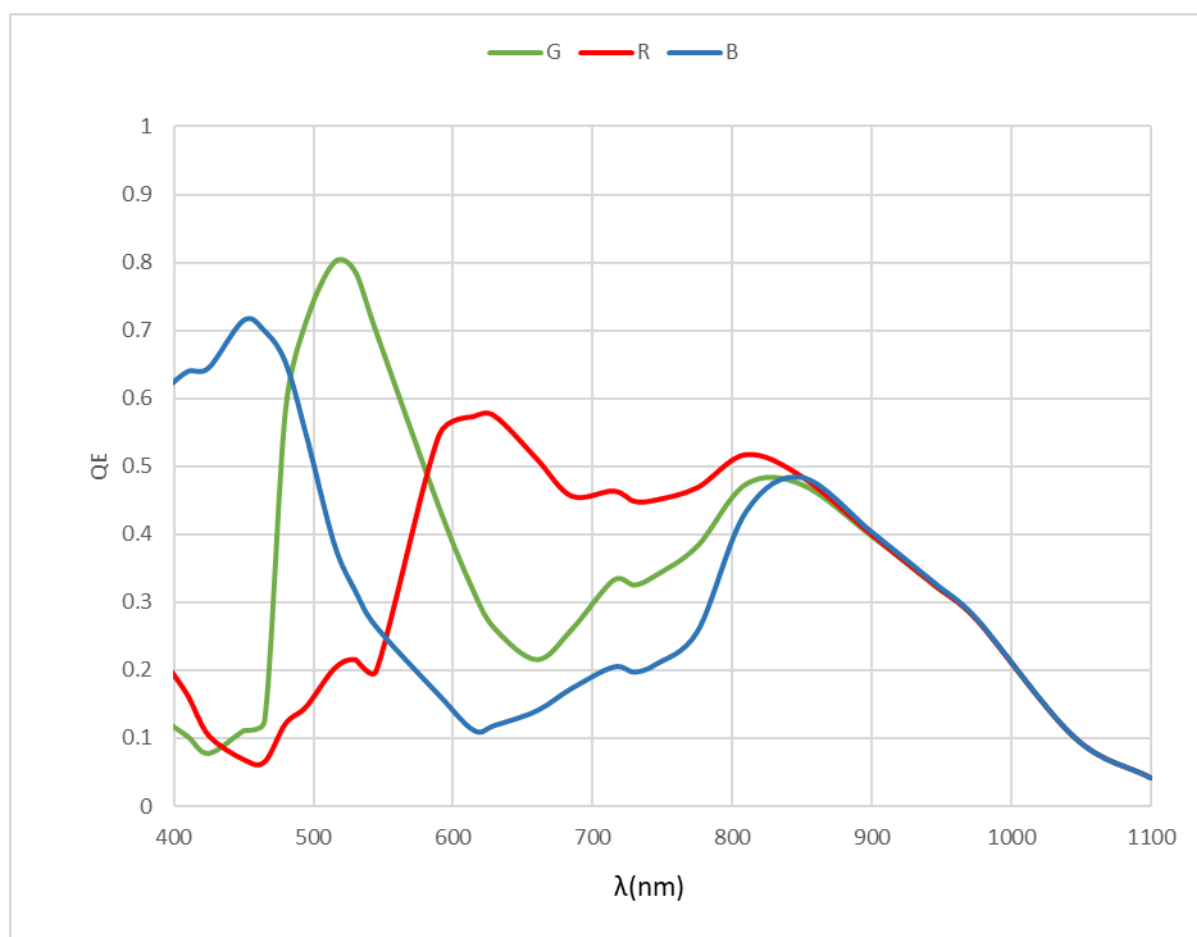


Figure 44 量子效率曲线