

芯片使用注意事项：

芯片包含多组电源，其中 VDDD、VDDIO、VDD 属于数字电源，VDDA、VDDPIX 属于模拟电源。GND 使用同一个地网络。

电源线和地线走线尽可能的宽（至少 0.2mm 以上），并且电源线走线尽可能的短，最大限度减小线路上的阻抗。模拟电源尽量避开数字电源及数字信号的区域，用 GND 将模拟电源部分和其他电路隔离开，减少模拟电源被其他信号干扰。各组电源有条件时尽量采用铺铜方式。

需要注意的信号线有 CLKIN、PCLK、CLKP/CLKN 等时钟信号，特别是 CLKIN，两侧需要地保护。电源线要远离时钟信号线。

MIPI 信号（CLKP/N、D0P/N~D3P/N）要走差分线，差分阻抗 100R。P 和 N 走线最好是等长的，数据线间长度误差越小越好。不同组差分线之间距离至少达到线宽的两倍。

图像传感器是温度敏感器件，需要注意板上的热量分布，LDO 或 DC-DC、DSP 等芯片应该放置在离 sensor 较远的地方，以防温度较高的芯片影响 sensor 的图像信号质量。

VDDPIX 由 3.3V 外置电压供电。

SXY5100 1/1.8 inch 5M CMOS 图像传感器应用手册

简介

SXY5100 是一款高性能的 1/1.8 inch CMOS 图像传感器。有效像素为 2592H×1944V。

特点

- 支持最多 4-lane MIPI 接口
- 单帧和多帧的触发曝光操作
- 自动黑电平校正
- 最高 30fps
- ADC 量化精度最高 12bit

应用

- 高端监控

关键参数

Table 1 关键参数

参数		典型值
光学尺寸		1/1.8 inch
有效像素阵列		2592H × 1944V
像素大小		2.70um(H) × 2.70um(V)
有效感光面积		7020um × 5270.4um
最高帧率		30fps@full frame
光滤阵列		Bayer RGB
CRA		10°
曝光方式		Electronic Rolling
灵敏度		3.3V/lux.s@550nm
暗电流@60°C		8mV/s
信噪比(max)		36dB
动态范围		70dB
输出接口		4lane-mipi 2lane-mipi
供电	Digital	1.42V ~ 1.65V
	IO	1.7V ~ 3.45V
	Analog	3.15V ~ 3.45V
	Pixel	3.15V ~ 3.45V
功耗		290mW@30FPs-12bit
结温范围		-30 ~ 70 °C①
封装形式		CBGA

① 此温度为芯片温度,因此板机设计要注意散热设计

Table of Content

简介	2
特点	2
应用	2
关键参数.....	2
Table of Content.....	3
印刷电路板设计指导.....	6
封装图.....	6
管脚定义.....	6
应用电路图.....	10
供电设计.....	10
PCB 注意事项	11
寄存器控制总线.....	12
I2C 总线.....	12
影子寄存器更新.....	13
光学设计.....	13
成像方向.....	13
镜像功能.....	14
调节幅面与帧率.....	15
像素阵列排布.....	15
时钟的计算.....	15
时钟的定义.....	15
PLL 控制	16
系统主时钟控制.....	17
调整幅面.....	17
调整帧率.....	18
外部触发模式.....	19
调节曝光与增益.....	19
调节曝光.....	19
调节增益.....	20
黑电平矫正.....	20
MIPI	21
其他	26
芯片电源上电顺序.....	26
MIPI lane 相位调节.....	27
量子效率曲线.....	27

List of Figures

Figure 1 封装图	6
Figure 2 Pin 脚分布图	7
Figure 3 4-lane MIPI 接口推荐连接图	10
Figure 4 推荐 Power Tree	10
Figure 5 I2C 写操作	12
Figure 6 I2C 读操作	12
Figure 7 光学成像示意	13
Figure 8 成正像的摆放示意	14
Figure 9 镜像功能示意	14
Figure 10 像素阵列排布示意图	15
Figure 11 PLL 框图	16
Figure 12 输出波形与帧率计算	18
Figure 13 外部触发模式二	19
Figure 14 BLC 收敛示意	21
Figure 15 raw10/raw12/raw14 数据输出顺序	23
Figure 16 4 通道数的数据分配	24
Figure 17 2 通道数的数据分配	25
Figure 18 1 通道数的数据分配	25
Figure 19 Mipi Frame Timing	26
Figure 20 芯片上电时序图	26
Figure 21 QE	27

List of Tables

Table 1 关键参数.....	2
Table 2 管脚描述.....	7
Table 3 电源需求.....	11
Table 4 影子寄存器更新控制.....	13
Table 5 镜像控制寄存器.....	14
Table 6 时钟定义.....	15
Table 7 PLL 控制寄存器.....	16
Table 8 PLL VCO 频率设置对应表.....	17
Table 9 系统主时钟控制.....	17
Table 10 控制输出幅面寄存器.....	17
Table 11 帧率控制寄存器.....	18
Table 12 外部触发控制寄存器.....	19
Table 13 曝光控制寄存器.....	20
Table 14 ramp 增益控制寄存器.....	20
Table 15 数字增益控制寄存器.....	20
Table 16 BLC 控制寄存器.....	20
Table 17 mipi 控制寄存器.....	21
Table 18 调节 Pclk 的相位.....	27

印刷电路板设计指导

本章节用来介绍印刷电路板的设计规则。

封装图

Figure 1 为 SXY5100 封装图。其中定义了具体的机械尺寸以及光学中心。以芯片中心做参照，光学中心为 (0.00002mm, 0.000975mm)，具体请参照 Top View 图。

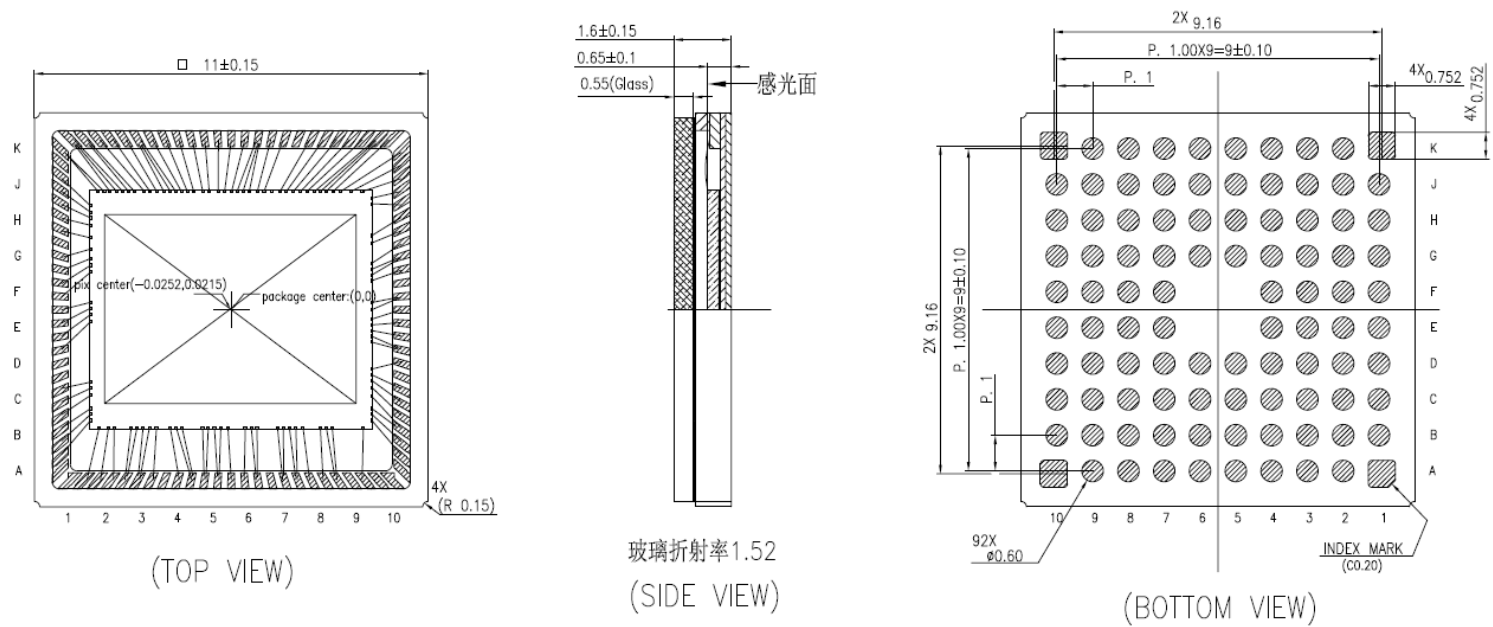
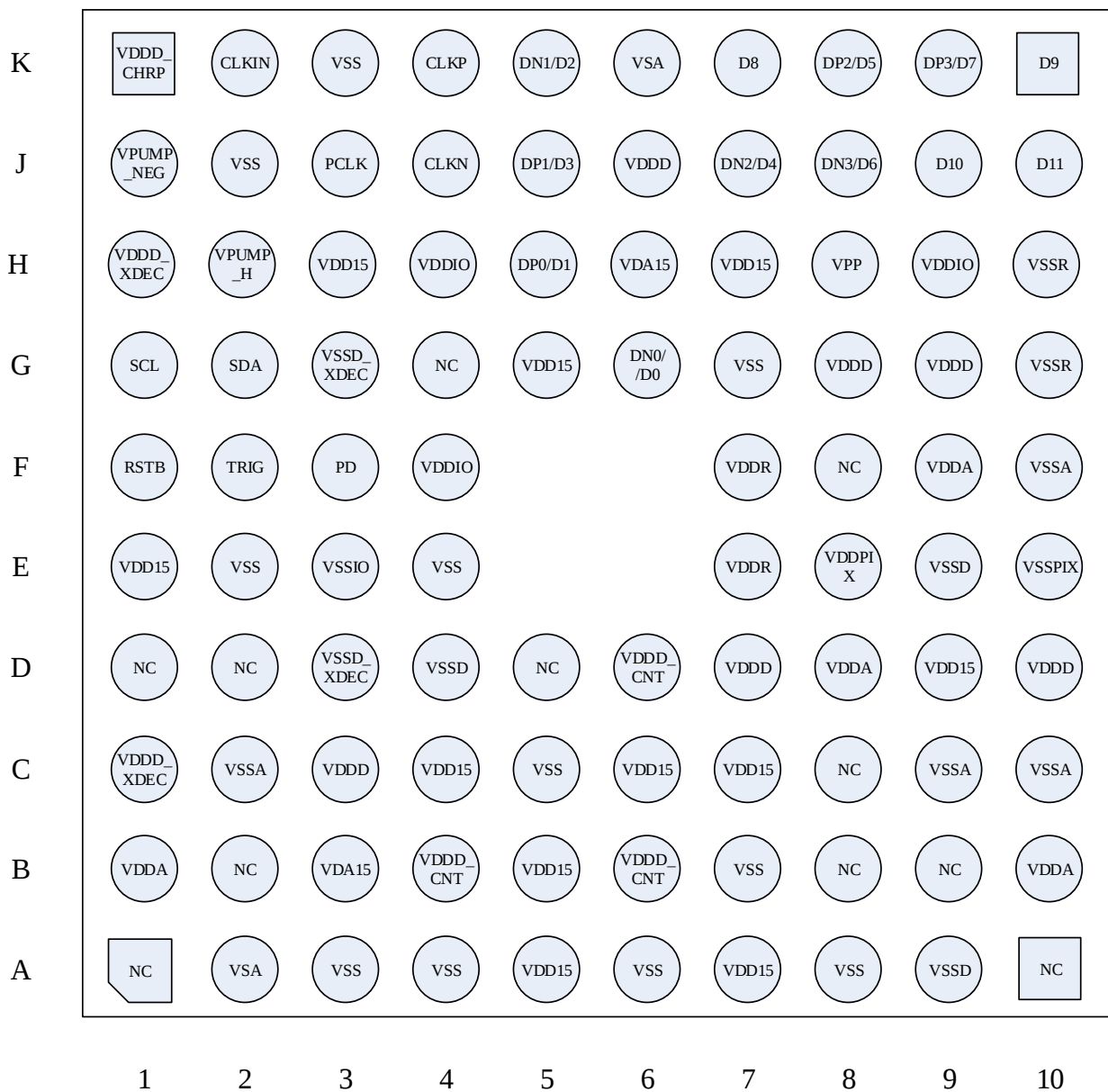


Figure 1 封装图

管脚定义

Figure 2 为 Top View 下的 Pin 脚分布图。可以与 Figure 1 进行参照。Table 2 为 Pin 脚的具体说明。



Top View

Figure 2 Pin 脚分布图

Table 2 管脚描述

PIN NO.	NAME	I/O	TYPE	DESCRIPTION
A1	NC	-	-	Not Connected
A2	VSA	-	G	Analog ground
A3	VSS	-	G	Digital ground
A4	VSS	-	G	Digital ground
A5	VDD15	-	P	1.5V digital power
A6	VSS	-	G	Digital ground
A7	VDD15	-	P	1.5V digital power
A8	VSS	-	G	Digital ground
A9	VSSD	-	P	Digital ground

A10	NC	-	-	Not connected
B1	VDDA	-	P	3.3V analog power
B2	NC	-	-	Not connected
B3	VDA15	-	P	1.5V analog power
B4	VDDD_CNT	-	P	Counter io power
B5	VDD15	-	P	1.5V digital power
B6	VDDD_CNT	-	P	Counter io power
B7	VSS	-	G	Digital ground
B8	NC	-	-	Not Connected
B9	NC	-	-	Not Connected
B10	VDDA	-	P	3.3V analog power
C1	VDDD_XDEC	-	P	3.3V digital power
C2	VSSA	-	G	Analog ground
C3	VDDD	-	P	3.3V digital power
C4	VDD15	-	P	1.5V digital power
C5	VSS	-	G	Digital ground
C6	VDD15	-	P	1.5V digital power
C7	VDD15	-	P	1.5V digital power
C8	NC	-	-	Not Connected
C9	VSSA	-	G	Analog ground
C10	VSSA	-	G	Analog ground
D1	NC	-	-	Not Connected
D2	NC	-	-	Not Connected
D3	VSSD_XDEC	-	G	Digital ground
D4	VSSD	-	G	Digital ground
D5	NC	-	-	Not Connected
D6	VDDD_CNT	-	P	Counter io power
D7	VDDD	-	P	3.3V digital power
D8	VDDA	-	P	3.3V analog power
D9	VDD15	-	P	1.5V digital power
D10	VDDD	-	P	3.3V digital power
E1	VDD15	-	P	1.5V digital power
E2	VSS	-	G	Digital ground
E3	VSSIO	-	G	Digital ground
E4	VSS	-	G	Digital ground
E7	VDDR	-	P	3.3V analog power
E8	VDDPIX	-	P	Pixel power
E9	VSSD	-	G	Digital ground
E10	VSSPIX	-	G	Pixel ground
F1	RSTB	I	D	Chip reset, active low
F2	TRIG	I	D	外部触发控制信号
F3	PD	I	D	Chip power down, active high
F4	VDDIO	-	P	IO power
F7	VDDR	-	P	3.3V analog power

F8	NC	-	-	Not Connected
F9	VDDA	-	P	3.3V analog power
F10	VSSA	-	G	Analog ground
G1	SCL	I/O	D	I2C clock
G2	SDA	I/O	D	I2C clock
G3	VSSD_XEDC	-	G	Digital ground
G4	NC	-	-	Not Connected
G5	VDD15	-	P	1.5V digital power
G6	DN0/D0	O	D	Data0 N port in MIPI mode
G7	VSS	-	G	Digital ground
G8	VDDD	-	P	3.3V digital power
G9	VDDD	-	P	3.3V digital power
G10	VSSR	-	G	Analog ground
H1	VDDD_XDEC		P	3.3V digital power
H2	VPUMP_H	O	A	Charge pump output for RST
H3	VDD15	-	P	1.5V digital power
H4	VDDIO	-	P	IO power
H5	DP0/D1	O	D	Data0 P port in MIPI mode or data
H6	VDA15	-	P	1.5V analog power
H7	VDD15	-	P	1.5V digital power
H8	VPP	-	P	OTP power 1.5V or 4.9V
H9	VDDIO	-	P	IO power
H10	VSSR	-	G	Analog ground
J1	VPUMP_NEG	O	A	NCP output
J2	VSS	-	G	Digital ground
J3	PCLK	O	D	Pixel clock
J4	CLKN/HSYNC	O	D	clock N port in MIPI mode
J5	DP1/D3	O	D	Data1 P port in MIPI mode
J6	VDDD	-	P	3.3V digital power
J7	DN2/D4	O	D	Data2 N port in MIPI mode
J8	DN3/D6	O	D	Data3 N port in MIPI mode
J9	D10	O	D	-
J10	D11	O	D	-
K1	VDDD_CHRP	-	P	3.3V digital power
K2	CLKIN	I	D	Clock input
K3	VSS	-	G	Digital ground
K4	CLKP/VSYN	O	D	clock P port in MIPI mode
K5	DN1/D2	O	D	Data1 N port in MIPI mode
K6	VSA	-	G	Analog ground
K7	D8	O	D	-
K8	DP2/D5	O	D	Data2 P port in MIPI mode
K9	DP3/D7	O	D	Data3 P port in MIPI mode
K10	D9	O	D	-

(P=Power, G=Ground, D=Digital, A=Analog)

应用电路图

推荐应用电路图请见 Figure 3。

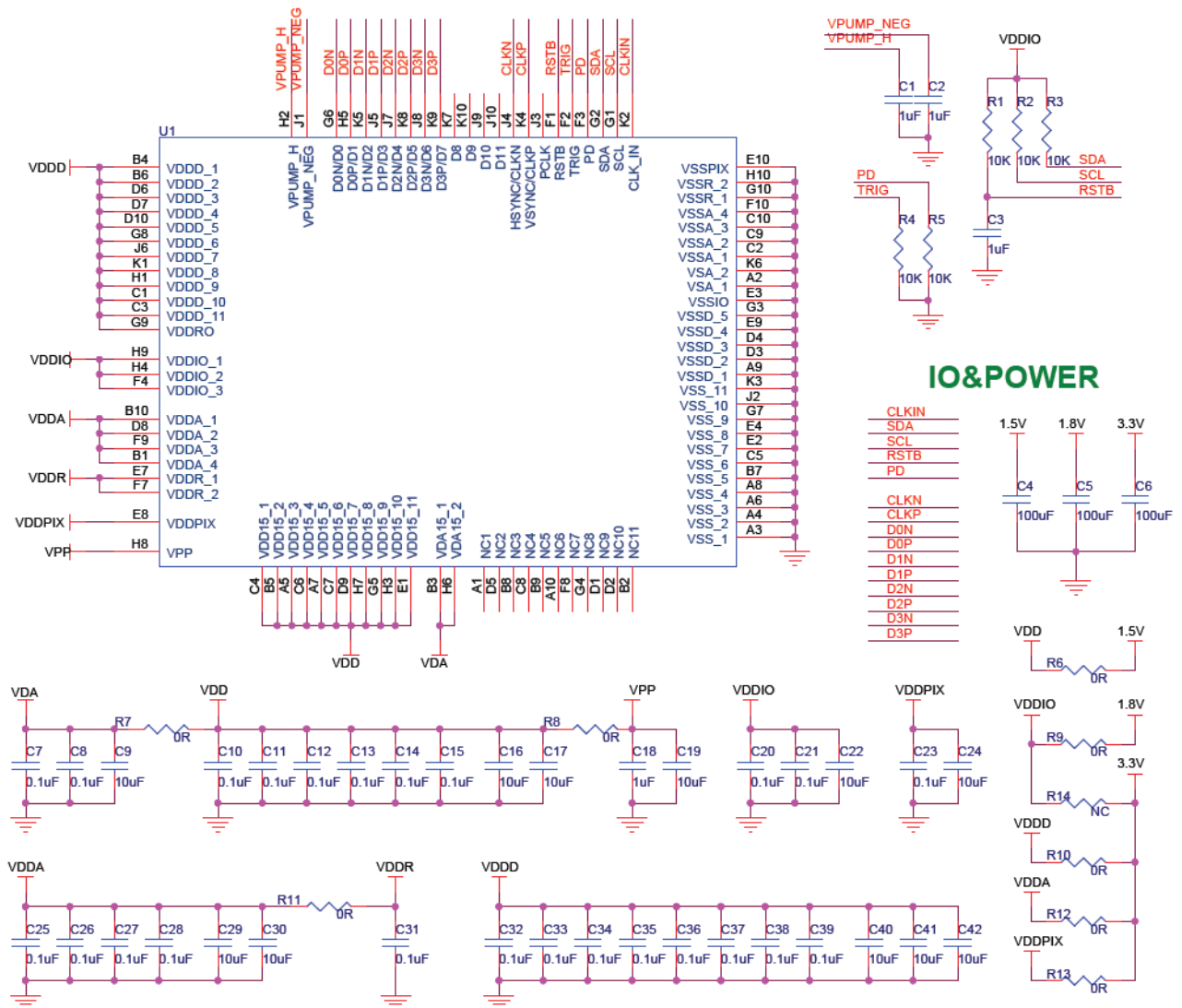


Figure 3 4-lane MIPI 接口推荐连接图

供电设计

VDDIO 推荐使用 1.8V 供电，也可使用 3.3V 供电。

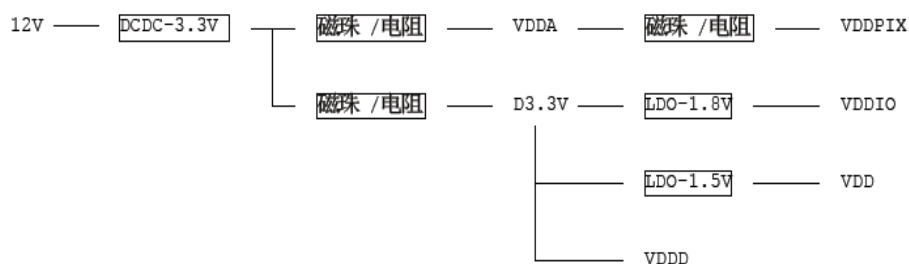


Figure 4 推荐 Power Tree

各组电源功耗与外接电容需求见 Table 3。

Table 3 电源需求

序号	电源	标准电压	消耗电流(上限)	外接小电容需求
1	VDDD	3.3V	50mA	0.1uF x 3
2	VDD	1.5V	200mA	0.1uF x7
3	VDDIO	1.8V/3.3V	30mA	0.1uF x2
4	VDDA	3.3V	100mA	0.1uF x7
5	VDA	1.5V	50 mA	0.1uF x2
6	VDDPIX	3.3V	11mA	0.1uF x1

注：0.1uF 的电容需要靠近 Pin 脚。每路电源需要至少一个 10uF/22uF 的大电容。10uF/22uF 电容放在 Sensor 周围即可。

PCB 注意事项

芯片包含多组电源，其中 VDDD、VDDIO、VDD 属于数字电源，VDDA、VDDPIX 属于模拟电源。GND 使用同一个地网络。

电源线和地线走线尽可能的宽（至少 0.2mm 以上），并且电源线走线尽可能的短，最大限度减小线路上的阻抗。模拟电源尽量避开数字电源及数字信号的区域，用 GND 将模拟电源部分和其他电路隔离开，减少模拟电源被其他信号干扰。各组电源有条件时尽量采用铺铜方式。

需要注意的信号线有 CLKIN、PCLK、CLKP/CLKN 等时钟信号，特别是 CLKIN，两侧需要地保护。电源线要远离时钟信号线。

MIPI 信号（CLKP/N、D0P/N~D3P/N）要走差分线，差分阻抗 100R。P 和 N 走线最好是等长的，数据线间长度误差越小越好。不同组差分线之间距离至少达到线宽的两倍。

图像传感器是温度敏感器件，需要注意板上的热量分布，LDO 或 DC-DC、DSP 等芯片应该放置在离 sensor 较远的地方，以防温度较高的芯片影响 sensor 的图像信号质量。

寄存器控制总线

I2C 总线

SXY5100 通过 I2C 总线对外通信,对应的端口为 SDA 和 SCL。从机读地址为 0x65,从机写地址为 0x64。总线采用 16 位的地址, 8 位数据的组织方式。

如 Figure 5 所示为: 向地址 0x012c 中写入数据 0x56, DSP 为主机, SXY5100 为从机, 步骤为:

- 主机向从机发送“START”信号;
- 主机向从机发送写模式地址 0x64;
- 从机向主机发送“ACK”, 用以表示正确接收到地址;
- 主机向从机发送 8-bit 寄存器地址高位 0x01;
- 从机向主机发送“ACK”信号;
- 主机向从机发送 8-bit 寄存器地址低位 0x2C;
- 从机向主机发送“ACK”信号;
- 主机向从机发送 8-bit 数据;
- 从机向主机发送“ACK”信号;
- 主机向从机发送“STOP”信号。

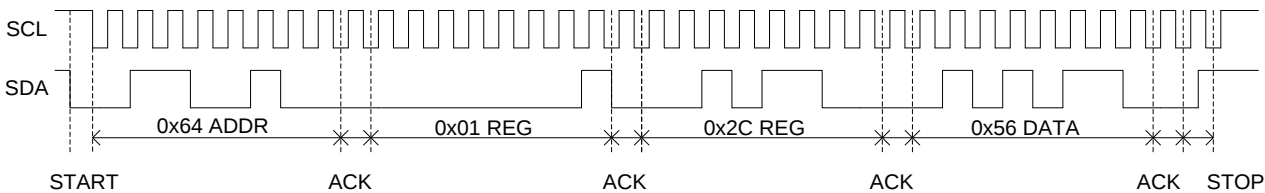


Figure 5 I2C 写操作

如 Figure 6 所示为: 从 0x012c 寄存器中读出数据 0x56。DSP 为主机, SXY5100 为从机, 步骤为:

- 主机向从机发送“START”信号;
- 主机向从机发送写模式地址 0x64;
- 从机向主机发送“ACK”, 用以表示正确接收到地址;
- 主机向从机发送 8-bit 寄存器地址高位 0x01;
- 从机向主机发送“ACK”信号;
- 主机向从机发送 8-bit 寄存器地址低位 0x2C;
- 从机向主机发送“ACK”信号;
- 主机向从机发送“START”信号;
- 主机向从机发送读模式地址 0x65;
- 从机向主机发送“ACK”信号;
- 从机向主机发送 8-bit 数据;
- 主机向从机发送“ACK”信号;
- 主机向从机发送“STOP”信号。

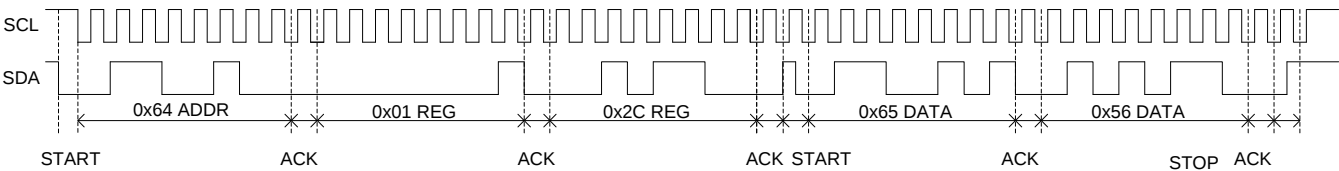


Figure 6 I2C 读操作

影子寄存器更新

SXY5100 内部部分特殊的寄存器采用了影子寄存器。也就是说这部分寄存器在经由 I2C 写入之后不会立即自动更新，而是需要特殊的操作后才会更新。需要“更新”操作的寄存器后面会特殊说明。

Table 4 影子寄存器更新控制

寄存器名	地址	位宽	功能
寄存器更新控制	0x001d	2	Bit[1:0]: 0x01: 立即生效影子寄存器，并立即中断当前帧，重新开始下一帧。 0x02: 写入后，影子寄存器将在下一个有效帧开始时生效。

光学设计

成像方向

SXY5100 的 (0, 0) 像素在 Figure 1 封装图的 K10 球的一侧。默认读出水平读出方向为 K10 向 K1 方向扫描，默认垂直读出方向为 K10 向 A10 方向扫描。

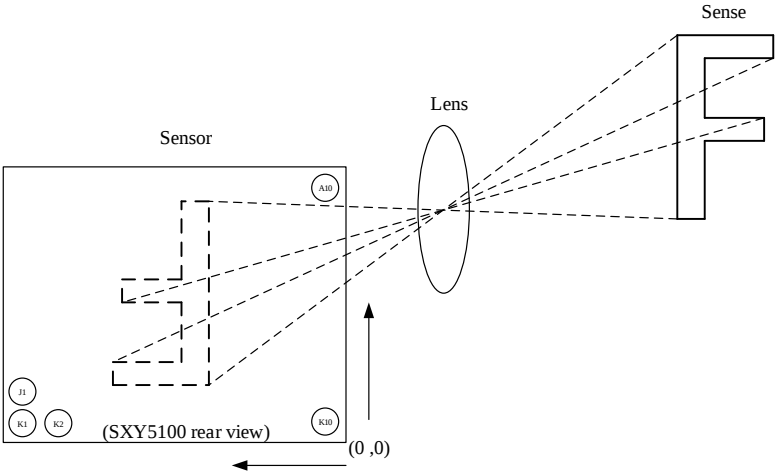


Figure 7 光学成像示意

在应用的 PCB 上成正像的摆放示意图见 Figure 8。

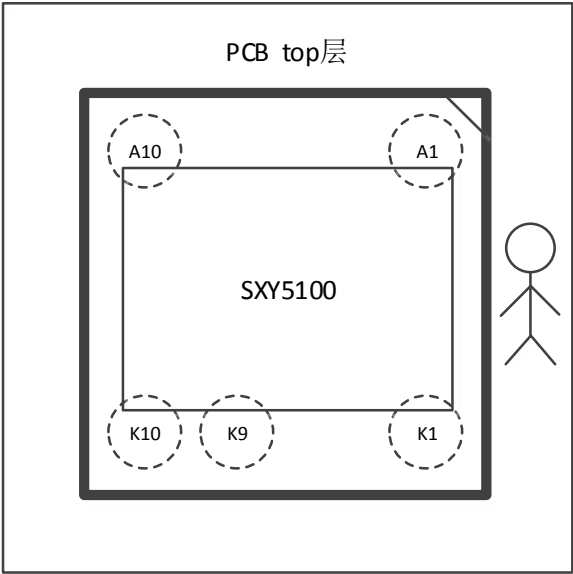


Figure 8 成正像的摆放示意

镜像功能

SXY5100 内部实现的图像的水平镜像和垂直镜像功能。具体的镜像对应如 Figure 9。需要特别注意的是，镜像后输出顺序与 color filter 顺序可能发生变化。因此镜像后可能需要调整对应的 Color Filter Pattern。具体的调整办法请见《调整帧率和幅面》一节。

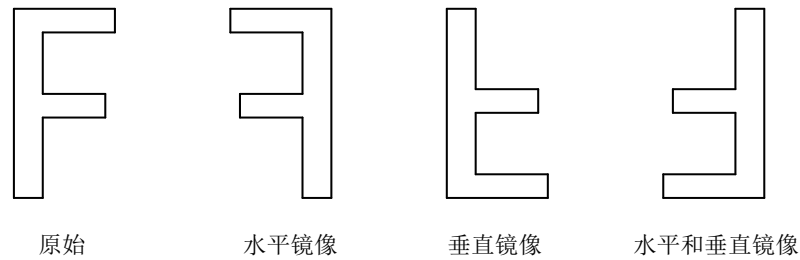


Figure 9 镜像功能示意

镜像功能对应的寄存器为 0x0020 的低两位：请注意不要随意变更该寄存器的其他数据位的数值。该寄存器有影子寄存器，需要向 0x001d 寄存器中写入 0x02 进行更新操作。

Table 5 镜像控制寄存器

寄存器名	地址	位宽	功能
读出控制	0x0020	8	Bit[7:2] Reserved Bit[1] 水平镜像控制 Bit[0] 垂直镜像控制

调节幅面与帧率

像素阵列排布

SXY5100 的有效像素阵列大小为 2592H × 1944V，采用 Bayer RGB color filter，具体的排布情况请见 Figure 10。其中（0，0）像素的位置与《成像方向》所述的（0，0）像素一节对应。

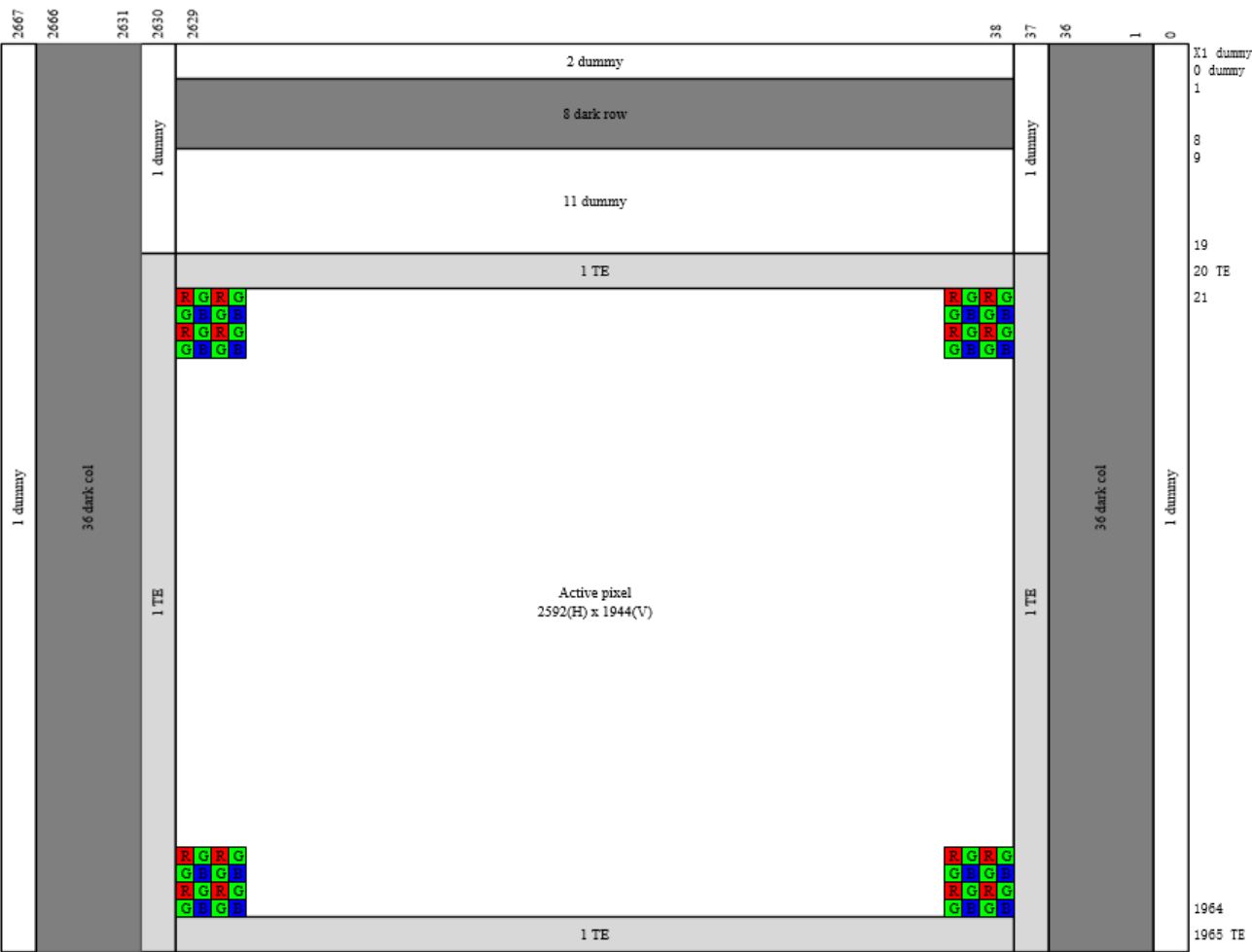


Figure 10 像素阵列排布示意图

时钟的计算

时钟的定义

Table 6 时钟定义

名称	符号	描述	计算办法
外部输入时钟	Clkin	芯片外部接入时钟	—
系统主时钟	Mclk	芯片内部运行主时钟	见《系统主时钟控制》章节
像素输出时钟	Pclk	芯片输出像素时钟	见《PLL 控制》章节

PLL 控制

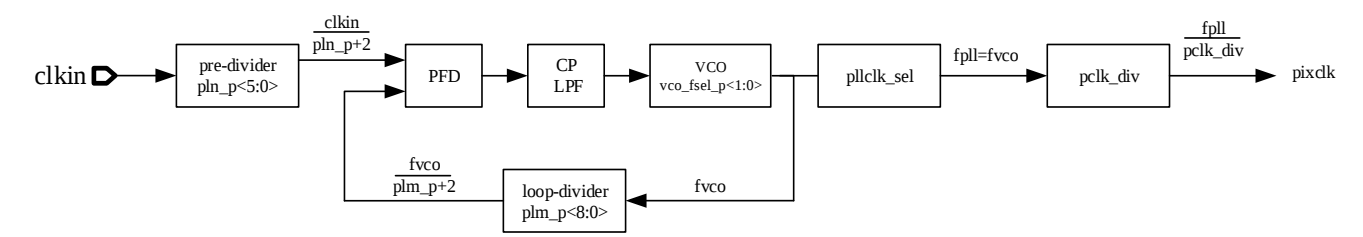


Figure 11 PLL 框图

输出 pixclk 与 clkin 的频率对应关系为:

$$f_{\text{pixclk}} = \frac{(\text{plm} + 2) * f_{\text{clkin}}}{(\text{pln} + 2)} * \frac{1}{\text{pclk_div}}$$

PLL 对应的控制寄存器见 Table 7。

Table 7 PLL 控制寄存器

寄存器名	地址	位宽	功能
PLM	0x0032 0x0033	9	Plm
PLN	0x0034	6	Pln
PLLCTRL_PCLK	0x0030	6	Bit[5:4]vco_freq_sel Bit[3:0] Reserved
SYSCLK_CTRL	0x00b1	8	Bit[7]:byteclk_div, 1:pll_pclk/4, 0:pll_pclk/2; Bit[6]:paraclk_sel_auto: 1:auto set paraclk_sel according to lane_ctrl1, 0:manual set by bit[5:4], Bit[5:4]:paraclk_div; 00:pll_pclk/4 01:pll_pclk/4, invert 10:pll_pclk/8 11:pll_pclk/16 Bit[3:2]:bitclk_div 00: pll_pclk 01: pll_pclk/2 1x: pll_pclk/4 Bit[1:0]:pclk_div_ctrl 00: pclk_div=3 01: pclk_div=5 10: pclk_div=6 11: pclk_div=10

当调节 vco 振荡频率时，需要设置 PLLCTRL_P 中的 vco_freq_sel。vco 频率的计算公式为:

$$F_{\text{vco}} = F_{\text{clkin}} * (\text{plm_p} + 2)/(\text{pln_p} + 2)$$

根据 Table 8 来设置 vco_freq_sel。

Table 8 PLL VCO 频率设置对应表

vco_freq_sel<1:0>	vco 频率范围
00 B	250M ~ 450M
01 B	300M ~ 550M
10 B	400M ~ 700M
11 B	550M ~ 1000M

系统主时钟控制

Mclk（系统主时钟）可选为 Clkin(外部输入时钟)，或 Pclk(像素输出时钟)的倍频。

Table 9 系统主时钟控制

寄存器名	地址	位宽	功能
MCLK_CTRL	0x0017	8	Bit[7:4] mclkc Bit[1] reserved Bit[0] mclk 选择: 1: 使 mclk 等于 clkin 0: 使 mclk 等于 pclk 的分频, 即 $F_{mclk} = F_{pclk} / (mclkc + 1)$ 。F 表示对应时钟的频率。

调整幅面

决定 SXY5100 输出图像大小的寄存器为 HSIZE（宽度），VSIZE（高度）和 SKIP_CTRL。如果开启水平跳读功能，那么实际的输出水平宽度大小为 HSIZE/2。如果开启垂直跳读功能，那么实际的输出垂直高度大小为 VSIZE/2。控制读出开始位置的寄存器为 HSTART（水平开始），VSTART（垂直开始），这些寄存器的地址见 Table 10。HSIZE 的默认值为 0xa20，VSIZE 的默认值为 0x798，默认输出的图像大小为 2592x1944。HSIZE，VSIZE，HSTART，VSTART 和 SKIP_CTRL 调整后需要往 0x001d 写 0x02 才会生效。

Table 10 控制输出幅面寄存器

寄存器名	地址	位宽	功能
HSIZE	0x0006, 0x0007	10	水平尺寸
VSIZE	0x0008, 0x0009	10	垂直尺寸
HSTART	0x0002, 0x0003	10	水平开始位置

VSTART	0x0004, 0x0005	10	垂直开始位置
SKIP_CTRL	0x0029	2	Bit[1]: 水平跳读使能控制 Bit[0]: 垂直跳读使能控制

调整帧率

SXY5100 输出同步信号的波形见 Figure 12。

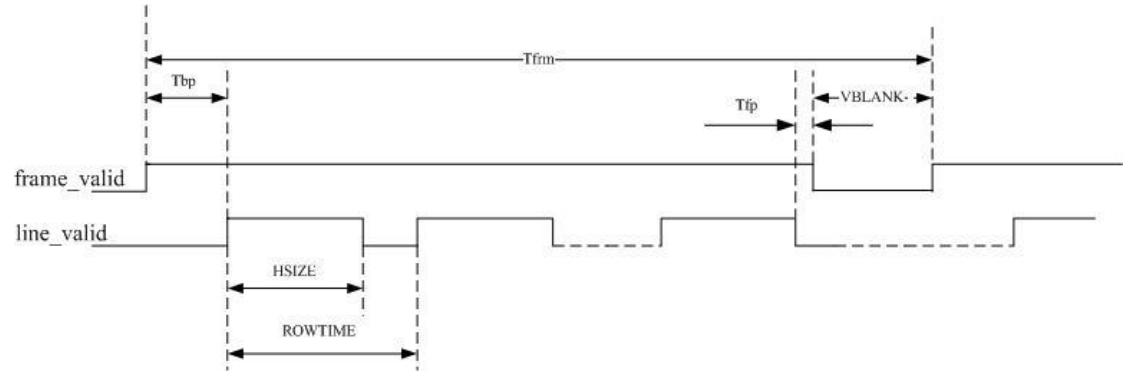


Figure 12 输出波形与帧率计算

在 Figure 12 中，Tfrm 为帧时间。Tbp 称为后廊，指帧同步信号有效后到第一行图像数据的时间间隔。Tfp 称为前廊，指最后一行有效数据输出完毕后到帧同步信号无效的时间间隔。TFRM 和 ROWTIME 为 SXY5100 的寄存器名称。他们的关系为：

$$T_{frm} = TFRM * ROWTIME * T_{mclk}$$

$$T_{bp} + T_{fp} = 6 * ROWTIME * T_{mclk}$$

$$VBLANK = (TFRM - VSIZE - 6) * ROWTIME * T_{mclk}$$

这里的 HSIZE 和 VSIZE 都是指实际输出图像的大小。

决定 SXY5100 输出帧率的寄存器为 ROWTIME（行时间）和 TFRM，这些寄存器的地址见 Table 11。

Table 11 帧率控制寄存器

寄存器名	地址	位宽	功能
ROWTIME	0x000e, 0x000f	16	以主输入内部主时钟为单位的行时间控制寄存器。
TFRM	0x0010, 0x0011	16	以行时间为单位的，帧时间控制寄存器。

ROWTIME 的默认值为 0x0b54（10 进制为 2900），TFRM 的默认值为 0x0814，按照上面计算公式，得到帧时间为：

$$T_{frm} = 2068 * 2900 * T_{mclk}$$

ROWTIME 和 TFRM 寄存器调整后需要往 0x001d 写入 0x02 才会生效。

外部触发模式

SXY5100 芯片的外部触发由 TRIG 管脚信号进行控制，芯片内部的外部触发控制寄存器如 Table 12 所示：

Table 12 外部触发控制寄存器

TRIGCTRL	[5:0]	0x0028	触发模式控制： Bit[5]: reserved Bit[4]: 控制 TRIG 的上升沿来之后是否立即输出数据的模式 Bit[3]: 一次 TRIG 触发单帧还是多帧的模式控制 0: 单帧 1: 多帧 Bit[2]: TRIG 是边沿有效还是电平有效控制 0: 边沿有效 1: 电平有效 Bit[1]: 外部触发使能控制信号 1: 外部触发 0: 内部触发 Bit[0]: reserved	6'h00
----------	-------	--------	--	-------

芯片的外部触发有 3 种模式，如下所示：

- 1. 模式一：帧时间和曝光时间由芯片的寄存器控制，外部触发信号 TRIG 上升沿触发芯片开始工作（类似于内部触发模式寄存器 0x001d 设置成 0x01），此模式 TRIGCTRL 寄存器设置为 0x0a。
- 2. 模式二：外部触发信号的上升沿触发开始读出，同时在距 TRIG 上升沿后的 Tfrm-Texp 时间点触发下一帧开始曝光，这里的 Tfrm 和 Texp 由芯片内部的寄存器控制，此时的曝光时间和帧时间由 TRIG 的间距决定。此模式 TRIGCTRL 寄存器设置为 0x32。

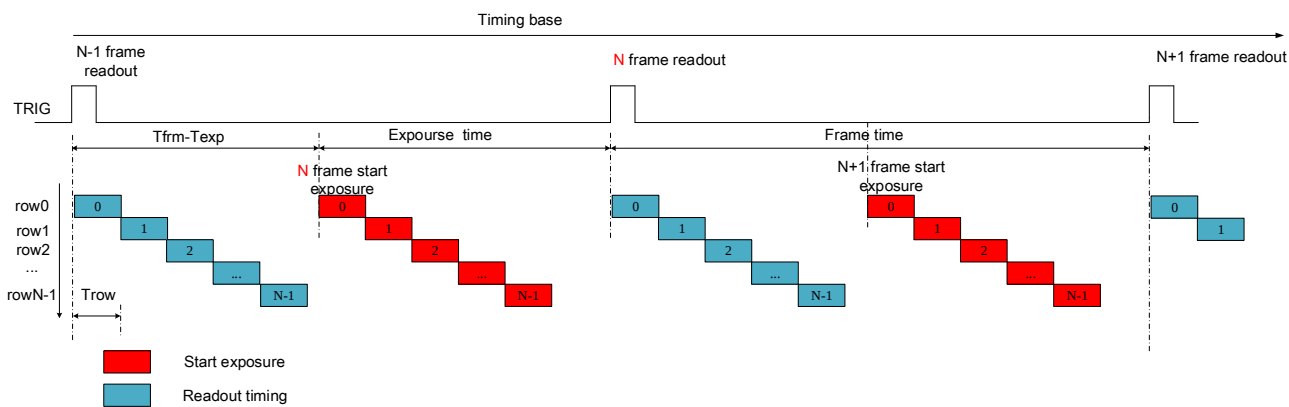


Figure 13 外部触发模式二

- 3. 模式三：电平触发，帧时间和曝光时间由芯片的寄存器控制，外部触发信号 TRIG 为高电平时触发，低电平停止。此模式 TRIGCTRL 寄存器设置为 0x06。

调节曝光与增益

调节曝光

决定曝光时间的寄存器是 TEXP 和 TEXP_MCK 两个寄存器。其中 TEXP 以行时间为单位，TEXP_MCK

以输入主时钟周期为单位。曝光时间计算公式：

$$T_{exp} = (T_{EXP} * ROWTIME + T_{EXP_MCK}) * T_{mclk}$$

公式中出现的 ROWTIME 为寄存器名字，请参见“调整输出帧率”章。**T_{exp}** 必须小于 **T_{frm}**，否则无法输出图像。T_{EXP} 和 T_{EXP_MCK} 寄存器的地址见 Table 13。

Table 13 曝光控制寄存器

寄存器名	地址	位宽	功能
T _{EXP}	0x000c 0x000d	16	以行为单位的曝光长度控制
T _{EXP_MCK}	0x000a 0x000b	16	以主时钟为单位的曝光长度控制

T_{EXP} 的默认值为 0x011c，T_{EXP_MCK} 的默认值为 0x0000，按照上面计算公式，曝光时间为：

$$T_{exp} = (284 * 2900 + 0) * T_{mclk}$$

T_{EXP} 和 **T_{EXP_MCK}** 调整后需要往 0x001d 写入 0x02 才会生效。

调节增益

SXY5100 中有两级增益，第一级为模拟增益，第二级为数字增益。
其中 analog 增益的控制寄存器见 Table 14。

Table 14 ramp 增益控制寄存器

寄存器名	地址	位宽	功能
VREFL_CON	0x00a2	7	ramp 增益控制

由以上寄存器控制的模拟增益为：

$$Gain_{analog} = \frac{128}{(vrefl + 1)}$$

数字增益的控制寄存器见 Table 15。

Table 15 数字增益控制寄存器

寄存器名	地址	位宽	功能
DGAIN	0x00c0, 0x00c1	13	数字增益控制

数字增益的控制寄存器为 DGAIN，其中 0x0200 为 1 倍数字增益。也就是说：

$$Gain_{digital} = Dig_Gain / 512.$$

综上，总增益为：

$$Gain_{All} = Gain_{analog} * Gain_{digital}$$

黑电平校正

SXY5100 芯片内建了黑电平校正模块。其基本原理是利用黑电平参考像素对有效像素进行黑电平校正，用以消除电路，环境温度带来的黑电平漂移。

Table 16 BLC 控制寄存器

寄存器名	地址	位宽	功能
BLC_CTRL	0x0120	7	Bit[6:1] Reserved Bit[0]: BLC enable, 高有效。
DBLC_OB	0x0130 0x0131	12	期望得到的最终图像的 OB, 无符号数。
DBLC_LOWERHI_ADJ	0x0136	8	收敛范围下限调整, 无符号数。
DBLC_UPPERLO_ADJ	0x0137	8	收敛范围上限-低, 无符号数。
DBLC_UPPERHI_ADJ	0x0138	8	收敛范围上限-高, 无符号数。

BLC_CTRL 为 BLCC 功能的控制开关;

BLCC 的目标值由 DBLC_OB 来调节, 即 BLCC 操作完成后期望得到的黑电平。

BLC_LOWERHI_ADJ, BLC_UPPERLO_ADJ, DBLC_UPPERHI_ADJ 用来调节算法的稳定范围。最终的收敛示意如 Figure 14 所示。

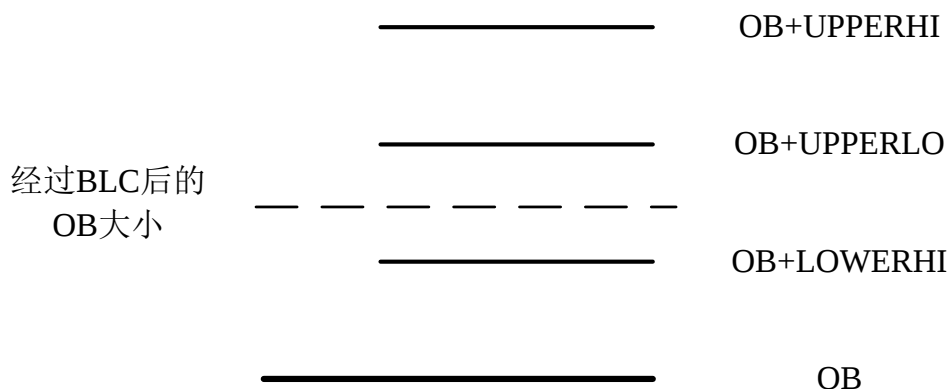


Figure 14 BLC 收敛示意

MIPI

SXY5100 支持 4 lane 的 mipi 输出, 可配置成 1/2/4-lane, 每个 lane 可达到 800Mbps。

Table 17 mipi 控制寄存器

寄存器名	地址	位宽	功能
MIPI_CTRL0	16'h0390	8	Bit[7:3]: Reserved Bit[2]: Mipi clock continuous enable,时钟 lane 是否持续输出控制, 1 为持续。 Bit[1]: Mipi module enable,mipi 使能控制, 1 为使能。 Bit[0]: Reserved
MIPI_CTRL1	16'h0391	8	Bit[7:4]: Reserved Bit[3:2]: Data lane control, 0 表示 1 个数据通道, 1 表示 2 个数据通道, 2 表示 4 个数据通道 Bit[1:0]: Image data format control, 0 表示 raw10, 1 表示 raw12
MIPI_CTRL2	16'h0392	6	Bit[5:2]: Reserved Bit[1]: Frame number enable in frame start(or end)' WC, 1 表示 frame number 使能 (在 0-0xffff 之间循环), 0 表示 frame number 一直为 0 Bit[0]: Reserved

MIPI_CTRL3	16'h0393	4	Bit[3]: Data lane 3 HS enable, 使用 4 个数据通道时必须设为 1。 Bit[2]: Data lane 2 HS enable, 使用 4 个数据通道时必须设为 1。 Bit[1]: Data lane 1 HS enable, 使用 2/4 个数据通道时必须设为 1。 Bit[0]: Data lane 0 HS enable, 使用 1/2/4 个数据通道时必须设为 1。
MIPI_PCLK_PERIOD	16'h0398	8	Clock period used to calculate the mipi timing, 设置的值为 mipi clock lane 输出的时钟周期的 4 倍（如果有小数部分，直接舍弃）。

raw10 和 raw12 的数据输出顺序如 Figure 15 所示。

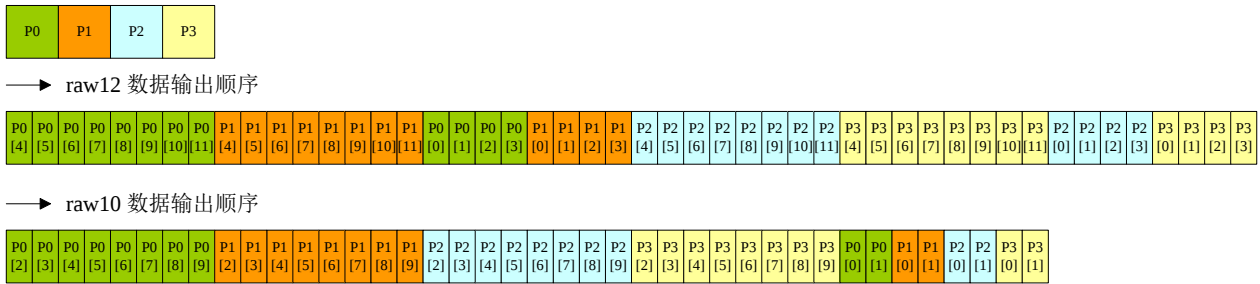
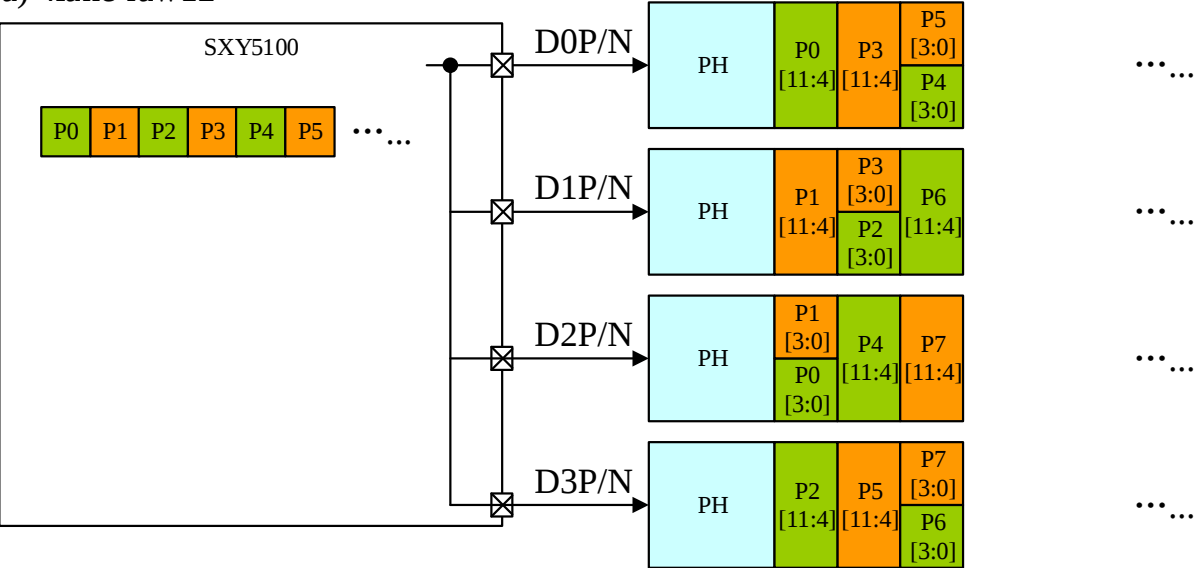


Figure 15 raw10/raw12/raw14 数据输出顺序

4 通道数的数据分配如 Figure 16 所示。

a) 4lane-raw12



b) 4lane-raw10

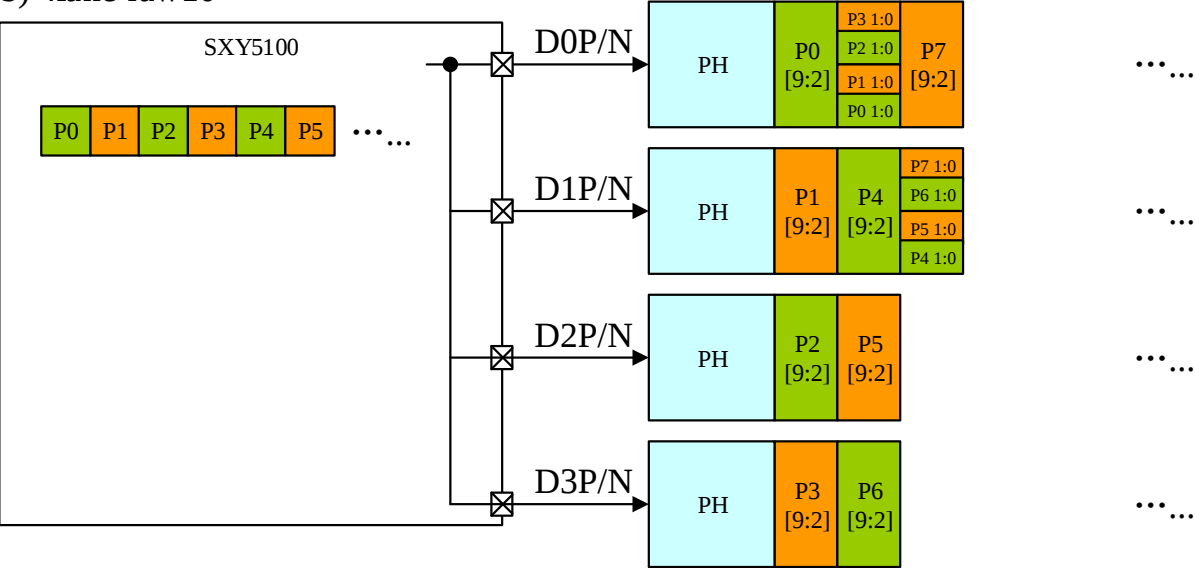
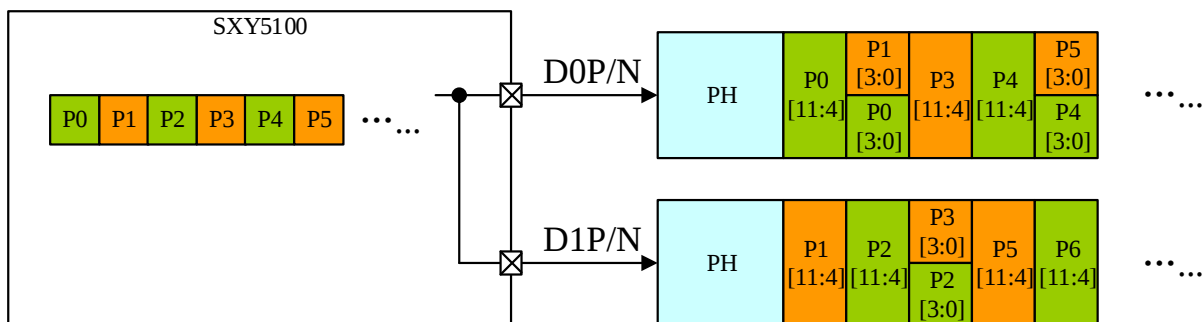


Figure 16 4 通道数的数据分配

2 通道数的数据分配如 Figure 17 所示。

c) 2lane-row12



d) 2lane-row10

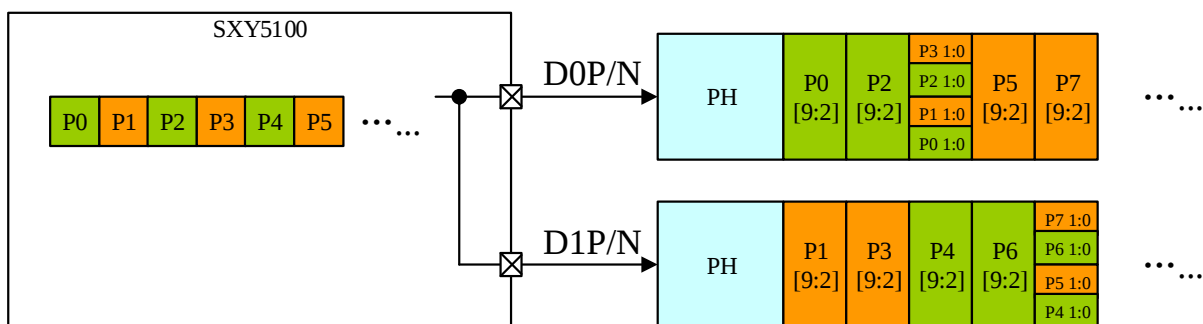
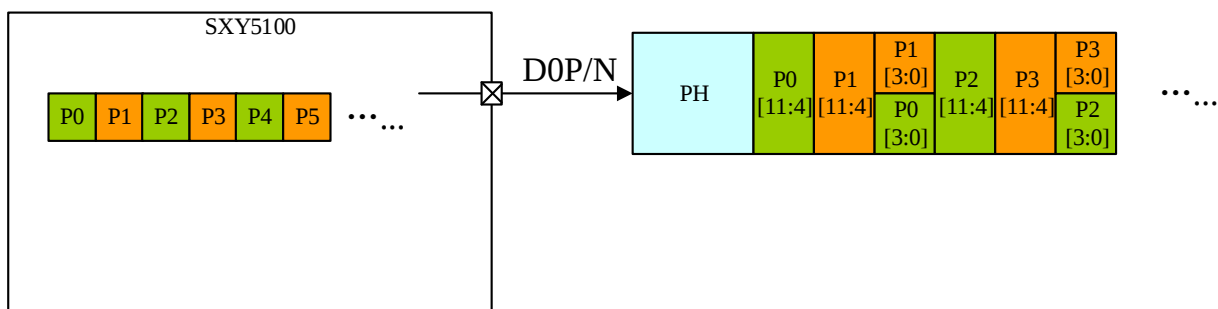


Figure 17 2 通道数的数据分配

1 通道数的数据分配如 Figure 18 所示。

e) 1lane-row12



f) 1lane-row10

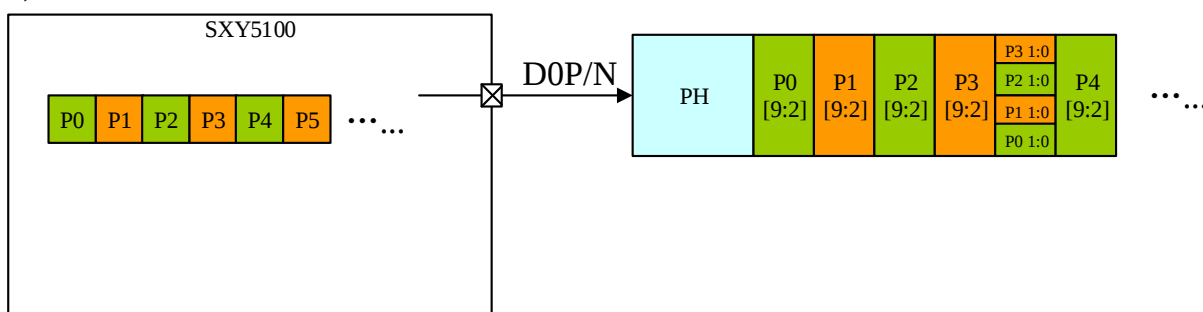


Figure 18 1 通道数的数据分配

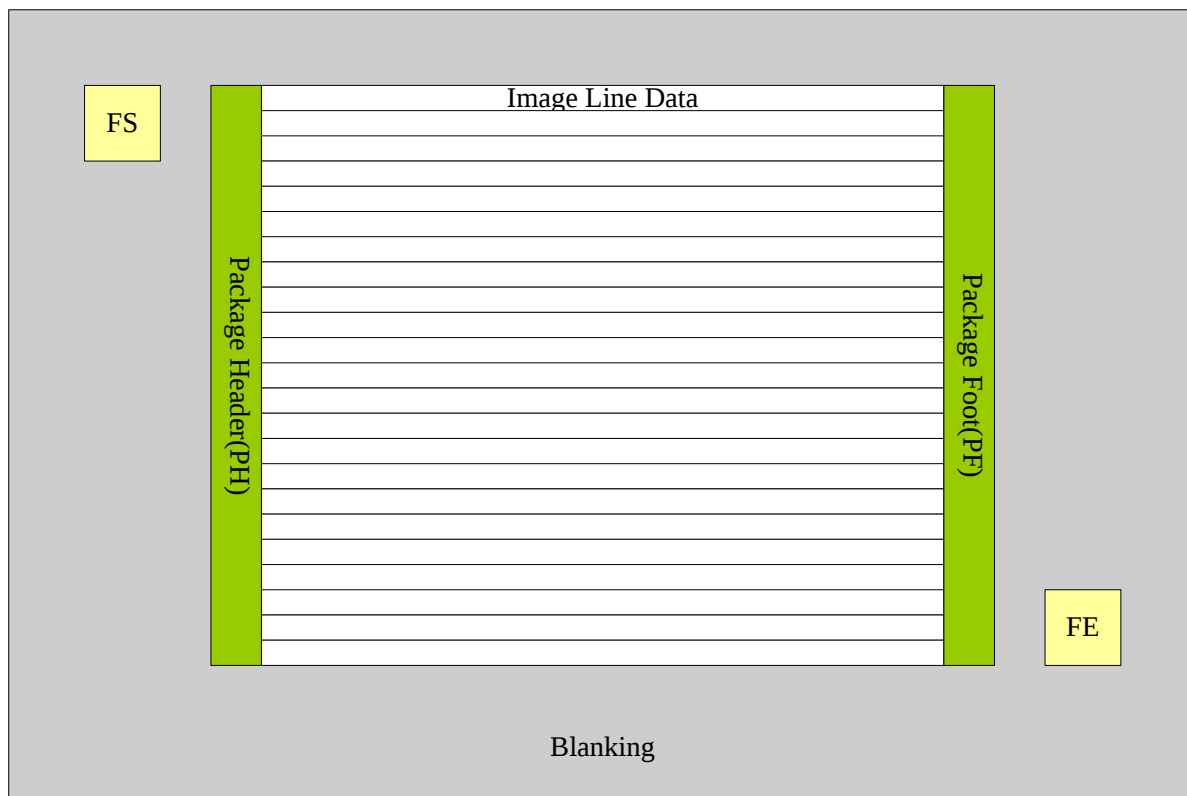


Figure 19 Mipi Frame Timing

其他

芯片电源上电顺序

芯片建议上电时序图请见 Figure 20。

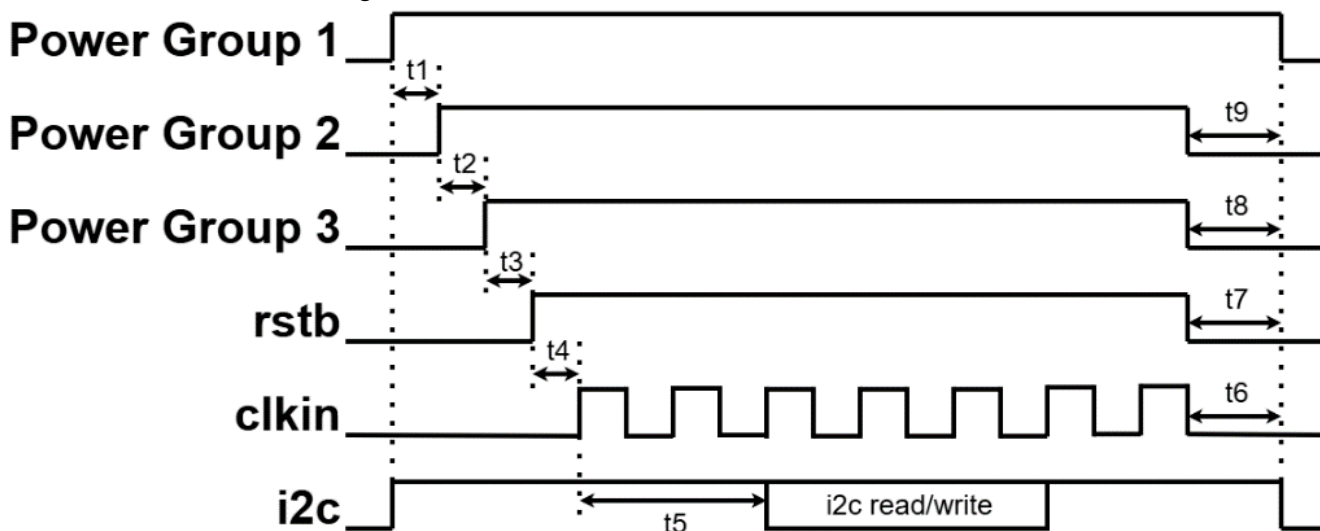


Figure 20 芯片上电时序图

Power Group 1 包括如下电源：VDDIO，VDDD。

Power Group 2 包括如下电源：VDD。

Power Group 3 包括如下电源：其余所有电源。

各时间间隔要求如下：

- 1) $t_1, t_2 \geq 0s$;
- 2) $t_3 \geq 100us$;
- 3) $t_4 \geq 0s$;
- 4) $t_5 \geq 200us$;
- 5) $t_6, t_7, t_8, t_9 \geq 0s$ 。

MIPI lane 相位调节

Table 18 调节 Pclk 的相位

寄存器名	地址	位宽	功能
BITCLK_DLY	0x00f6	5	Clk-lane 的相位调节
BITDATA_DLY	0x00f7	5	Data-lane 的相位调节

量子效率曲线

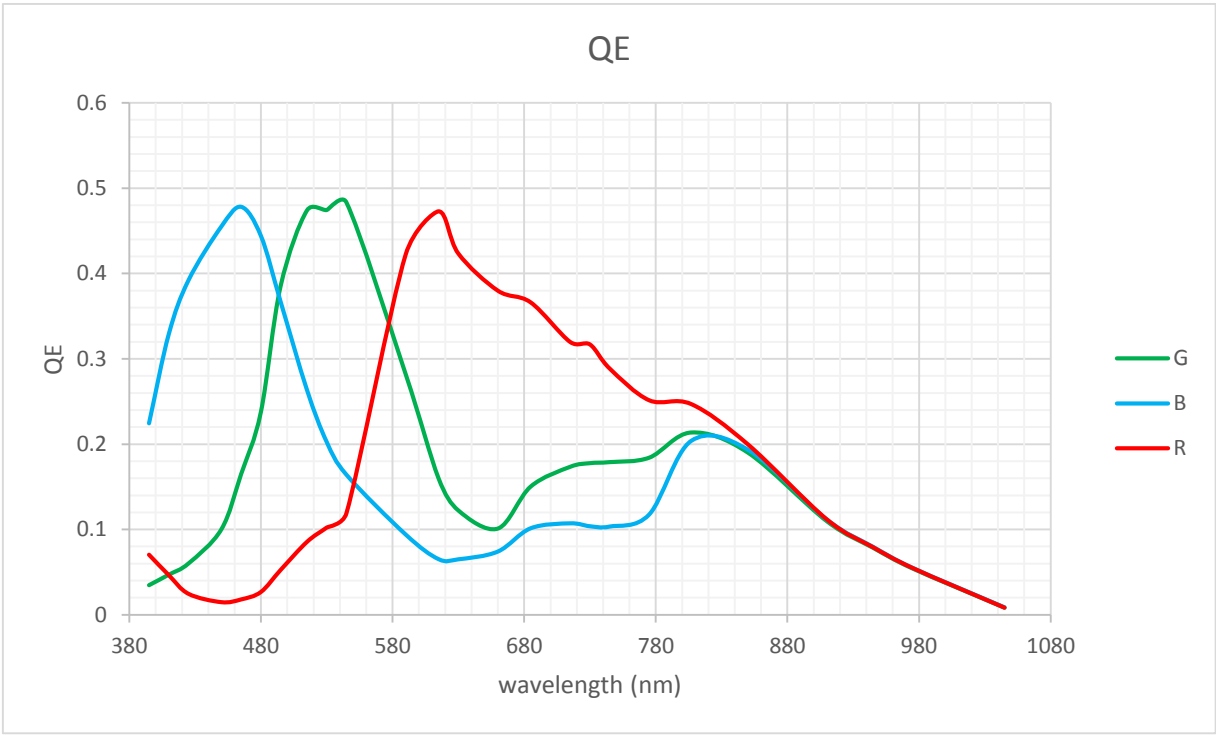


Figure 21 QE